

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 8 日  
Date of Application:

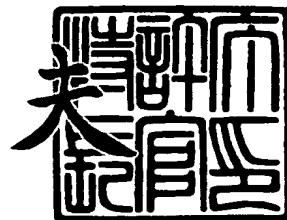
出 願 番 号                      特 願 2 0 0 3 - 0 9 0 2 9 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 9 0 2 9 3 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 4 5 0 0

【書類名】 特許願

【整理番号】 0340261

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/10

【発明の名称】 バス間通信インタフェース装置、情報処理ユニット、外部  
部ホスト装置、およびバス間通信制御方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市幸区堀川町 6 6 番地 2 富士通エルエス  
    アイソリューション株式会社内

    【氏名】 飯塚 健一

【発明者】

    【住所又は居所】 神奈川県川崎市幸区堀川町 6 6 番地 2 富士通エルエス  
    アイソリューション株式会社内

    【氏名】 歳森 くみこ

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092152

    【弁理士】

    【氏名又は名称】 服部 毅巖

    【電話番号】 0426-45-6644

【手数料の表示】

    【予納台帳番号】 009874

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス間通信インタフェース装置、情報処理ユニット、外部ホスト装置、およびバス間通信制御方法

【特許請求の範囲】

【請求項 1】 第 1 のバスと第 2 のバスとの間のデータ通信を制御するバス間通信インタフェース装置において、

前記第 1 のバスに接続された第 1 の装置から送られた通信データを格納するバッファと、

前記通信データに関する通信制御情報を格納するレジスタと、

前記バッファに格納された前記通信データを前記第 2 のバスに接続された第 2 の装置に渡すと共に、前記レジスタに格納された前記通信制御情報を前記第 2 の装置に渡す制御回路と、

を有することを特徴とするバス間通信インタフェース装置。

【請求項 2】 前記バッファは、先に格納したデータを先に出力する方式のバッファであることを特徴とする請求項 1 記載のバス間通信制御回路。

【請求項 3】 前記バッファは、複数のバッファ領域を有しており、それぞれのバッファ領域を交互に前記通信データの格納対象とすることを特徴とする請求項 1 記載のバス間通信インタフェース装置。

【請求項 4】 前記制御回路は、前記レジスタに前記通信制御情報が格納されると、前記第 2 の装置に対して割り込み信号を出力することを特徴とする請求項 1 記載のバス間通信インタフェース装置。

【請求項 5】 前記レジスタ内の未送信データの有無を示す情報を格納するステータスレジスタを更に有し、

前記制御回路は、前記レジスタに新たなデータが格納されたとき、および前記第 2 の装置により前記バッファのデータが読み出されたとき、前記ステータスレジスタの情報を更新することを特徴とする請求項 1 記載のバス間通信インタフェース装置。

【請求項 6】 第 1 のバスと第 2 のバスとの間のデータ通信を制御するバス間通信インタフェース装置において、

前記第 1 のバスに接続された第 1 の装置から送られた第 1 の通信データを格納する第 1 のバッファと、

前記第 1 の通信データに関する第 1 の通信制御情報を格納する第 1 のレジスタと、

前記第 2 のバスに接続された第 2 の装置から送られた第 2 の通信データを格納する第 2 のバッファと、

前記第 2 の通信データに関する第 2 の通信制御情報を格納する第 2 のレジスタと、

前記第 1 のバッファに格納された前記第 1 の通信データを前記第 2 の装置に渡すと共に、前記第 1 のレジスタに格納された前記第 1 の通信制御情報を前記第 2 の装置に渡し、更に前記第 2 のバッファに格納された前記第 2 の通信データを前記第 1 の装置に渡すと共に、前記第 2 のレジスタに格納された前記第 2 の通信制御情報を前記第 1 の装置に渡す制御回路と、

を有することを特徴とするバス間通信インタフェース装置。

【請求項 7】 外部接続バスを介して接続された外部ホスト装置と連携した情報処理を行う情報処理ユニットにおいて、

内部 CPU と、

前記外部ホスト装置から送られた受信データを格納する受信用バッファと、

前記受信データに関する受信用通信制御情報を格納する受信用レジスタと、

内部バスを介して前記内部 CPU から送られた送信データを格納する送信用バッファと、

前記送信データに関する送信用通信制御情報を格納する送信用レジスタと、

前記受信用バッファに格納された前記受信データを前記内部 CPU に渡すと共に、前記受信用レジスタに格納された前記受信用通信制御情報を前記内部 CPU に渡し、更に前記送信用バッファに格納された前記送信データを前記外部ホスト装置に渡すと共に、前記送信用レジスタに格納された前記送信用通信制御情報を前記外部ホスト装置に渡す制御回路と、

を有することを特徴とする情報処理ユニット。

【請求項 8】 前記制御回路は、前記受信用バッファが前記受信データで満

たされたとき、および前記受信用レジスタに前記受信用通信制御情報が格納されたとき、前記内部CPUに対して割り込み信号を出力することを特徴とする請求項7記載の情報処理ユニット。

【請求項9】 特定の情報処理を実行する情報処理ユニットと連携した処理を実行する外部ホスト装置において、

前記情報処理ユニットから送信データの受取を要求する送信データ要求信号が出力されている場合、前記情報処理ユニット内の送信バッファのアドレスを指定して送信データの読み込みを行うと共に、前記情報処理ユニット内の送信用レジスタのアドレスを指定して送信用通信制御情報の読み込みを行うデータ読み込み手段と、

前記情報処理ユニットからデータの受信可能を示す受信データ要求信号が出力されている場合、前記情報処理ユニット内の受信バッファのアドレスを指定して受信データの書き込みを行うと共に、前記情報処理ユニット内の受信用レジスタのアドレスを指定して受信用通信制御情報の書き込みを行うデータ書き込み手段と、

を有することを特徴とする外部ホスト装置。

【請求項10】 第1のバスに接続された第1の装置と第2のバスに接続された第2の装置との間のデータ通信を、バス間通信インタフェース装置を介して行うためのバス間通信制御方法において、

前記第1の装置が、前記第2の装置に渡すべき通信データを、前記バス間通信インタフェース装置内のバッファに格納し、

前記第1の装置が、前記通信データに関する通信制御情報を、前記バス間通信インタフェース装置内のレジスタに格納し、

前記バス間通信インタフェース装置が、前記バッファに前記通信データが満たされたとき、および前記レジスタに前記通信制御情報が格納されたときに、前記第2の装置に対して割り込み信号を出力し、

前記第2の装置が、前記割り込み信号に応答して前記バッファ内の前記通信データまたは、前記レジスタ内の前記通信制御情報を読み込む、

ことを特徴とするバス間通信制御方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は複数のバス間のデータの送受信を行うバス間通信インタフェース装置、情報処理ユニット、外部ホスト装置およびバス間通信制御方法に関し、特にバッファを介したデータ転送を行うバス間通信インタフェース装置、情報処理ユニット、外部ホスト装置およびバス間通信制御方法に関する。

**【0002】****【従来の技術】**

ビデオカメラ等の各種電子機器では、全体を制御するCPU (Central Processing Unit) 以外に、所定の処理を実行するための情報処理ユニットを有していることがある。たとえば、電子機器をLAN (Local Area Network) 接続する場合、CPUが内蔵されたLANインタフェースを実装し、通信データの暗号化等の高度な処理を行うことが可能である。

**【0003】**

CPU (以下、内部CPUと呼ぶ) を内蔵する情報処理ユニットと電子機器全体を制御する外部ホスト装置 (以下、外部ホストと呼ぶ) との間では、適宜データ通信が行われる。なお、外部ホストにもCPUが内蔵されており、このような外部機器とのデータ通信を必要とする様々な装置のインタフェースでは、一般的に転送効率を確保するためにFIFO (First-In First-Out) と呼ばれるバッファを利用している。FIFOは、先に格納したデータを先に出力する方式のバッファである。外部ホストと内部CPUとの間で送受信されるデータは一旦FIFOに書き込まれ、その後、送信相手がFIFOからデータを読み出す。

**【0004】**

図14は、内部CPUにおける外部ホストからのデータの受信方法を示す概念図である。図14に示すように、外部ホスト910と内部CPU930との間にデータ受信用のFIFO920が設けられている。なお、図14の例では、FIFO920内に、データを蓄えるバッファ領域と、そのバッファ領域がデータで満たされたときに割り込み信号をアサートする割り込み発生回路とを含むものと

する。

#### 【0005】

外部ホスト910は、通信データをFIFO920に書き込む（ステップS101）。すると、FIFO920において割り込み信号がアサートされる（ステップS102）。その割り込み信号を検知した内部CPU930は、FIFO920から通信データを読み込む（ステップS103）。

#### 【0006】

図15は、内部CPUにおける外部ホストからのデータの受信手順を示すフローチャートである。以下、図15に示す処理をステップ番号に沿って説明する。

[ステップS111] 外部ホスト910は、FIFO920へデータを書き込む。なお、外部ホスト910は、転送すべきデータの最終端には、データ終了情報を付加する。データ終了情報を付加した後、FIFO920に空き領域が有る場合、その空き領域に無効なデータ（例えば、全ての0のデータ）を書き込み、FIFO920内をデータで満たす。

#### 【0007】

[ステップS112] FIFO920は、FIFO920内のバッファ領域がデータで満たされたか否かを判定し、満たされていない場合(not full)には、ステップS111の処理を繰り返す。

#### 【0008】

[ステップS113] FIFO920は、FIFO920内のバッファ領域がデータで満たされたか否かを判定し、満たされている場合(full)には、ステップS114に処理が進められる。

#### 【0009】

[ステップS114] FIFO920は、割り込み信号をアサートする。

[ステップS115] 内部CPU930は、割り込み信号のアサートを検知すると、FIFO920内のデータを読み出す。

#### 【0010】

[ステップS116] 内部CPU930は、FIFO920のステータスが空(Empty)になると読み込みを終了し、処理をステップS111に進める。その後



、外部ホスト 910 により、後続のデータが F I F O 920 に書き込まれる。

【0011】

[ステップ S117] また、内部 CPU 930 は、F I F O 920 からデータを読み出す毎に、読み出したデータの内容が受信データ終了情報か否かを随時チェックする。そして、受信データ終了情報を検出すると、内部 CPU 930 は、データ受信処理を終了させる。

【0012】

図 16 は、内部 CPU における外部ホストへのデータの送信方法を示す概念図である。図 16 に示すように、外部ホスト 910 と内部 CPU 930 との間にデータ送信用の F I F O 940 が設けられている。なお、F I F O 940 には、データを蓄えるバッファ領域と、そのバッファ領域がデータで満たされたときにデータ送信要求信号をアサートする回路とを含む。

【0013】

内部 CPU 930 は、通信データを F I F O 940 に書き込む（ステップ S121）。すると、F I F O 940 においてデータ送信要求信号がアサートされる（ステップ S122）。そのデータ送信要求信号を検知した外部ホスト 910 は、F I F O 940 から通信データを読み込む（ステップ S123）。

【0014】

図 17 は、内部 CPU における外部ホストへのデータの送信手順を示すフローチャートである。以下、図 17 に示す処理をステップ番号に沿って説明する。

[ステップ S131] 内部 CPU 930 は、F I F O 940 へデータを書き込む。

【0015】

[ステップ S132] F I F O 940 は、データ送信要求信号をアサートする。

[ステップ S133] 外部ホスト 910 は、F I F O 940 内のバッファ領域からデータをリードする。

【0016】

[ステップ S134] 外部ホスト 910 は、F I F O 940 のステータスが空

でない(not Empty)場合には、ステップS133のデータリードを継続する。

【ステップS135】 外部ホスト910は、FIFO940のステータスが空(Empty)になるとデータリードを終了する。

【0017】

このようにして、FIFOを経由したデータの送受信が行われる。

なお、上記の例では、外部ホスト910から内部CPU930へのデータ転送において、割り込み信号のアサートによりFIFO920へのデータ書き込み完了が通知されるが、他の方法で通知することもできる。たとえば、読み込み要求伝達用の要求回路を設け、その回路を介して読み込み要求を伝達することもできる(特許文献1参照)。

【0018】

【特許文献1】

特開平11-18122号公報(第1図、第2図)

【0019】

【発明が解決しようとする課題】

しかし、従来の技術では、外部ホスト910から内部CPU930に転送されるデータの終端検出のために、内部CPU930が逐次データの内容を解析する必要がある。そのため、内部CPUへの負荷が過大となっていた。しかも、通信に必要なデータは、全てFIFO920, 940を通じてやりとりされる。そのため、データ送受信途中に通信の制御情報を交換することは出来ない。

【0020】

また、FIFO920, 940からの内部CPU930による読み込みは割り込み信号を契機に行われるが、割り込み制御ではFIFO920, 940内のデータがフルとならない場合、全てのデータを読み出すことが出来ない。そのため、外部ホスト910側において、固定のデータ量となるようにデータの最後に無効なデータを付加する必要がある。その結果、外部ホスト910においてソフトウェアでFIFOへ書き込むデータを処理することとなり、実行時間が長くなることの問題が発生し、高速通信では障害となってくる。

【0021】

なお、特許文献 1 における要求回路は、単に読み込み要求を伝達しているだけであり、データ通信に関する任意の制御情報の伝達に利用することはできない。すなわち、図 14 に示す割り込み信号アサート（ステップ S102）の処理が、要求回路への読み込み要求の設定に置き換えられただけである。しかも、要求回路への読み込み要求の設定を契機として、通信相手においてデータの読み込みが行われるため、要求回路に読み込み要求以外の情報を書き込むと、正常なデータ通信が行えなくなってしまう。

#### 【0022】

本発明はこのような点に鑑みてなされたものであり、異なるバスに接続された複数の装置間のデータの受け渡しを効率よく行うことができるバス間通信インタフェース装置、情報処理ユニット、外部ホスト装置およびバス間通信制御方法を提供することを目的とする。

#### 【0023】

##### 【課題を解決するための手段】

本発明では上記課題を解決するために、図 1 に示すようなバス間通信インタフェース装置が提供される。本発明に係るバス間通信インタフェース装置 1 は、第 1 のバス 4 と第 2 のバス 5 との間のデータ通信を制御するものである。バス間通信インタフェース装置 1 は、以下の要素を有している。

#### 【0024】

バッファ 1a は、第 1 のバス 4 に接続された第 1 の装置 2 から送られた通信データ 6 を格納する。レジスタ 1b は、通信データ 6 の通信制御情報 7 を格納する。制御回路 1c は、バッファ 1a に格納された通信データ 6 を第 2 のバス 5 に接続された第 2 の装置 3 に渡すと共に、レジスタ 1b に格納された通信制御情報 7 を第 2 の装置 3 に渡す。

#### 【0025】

このようなバス間通信インタフェース装置 1 によれば、通信データ 6 はバッファを介して第 1 の装置 2 から第 2 の装置 3 へ転送され、通信制御情報 7 は、レジスタ 1b を介して第 1 の装置 2 から第 2 の装置 3 へ転送される。

#### 【0026】

また、本発明では上記課題を解決するために、第1のバスと第2のバスとの間のデータ通信を制御するバス間通信インタフェース装置において、前記第1のバスに接続された第1の装置から送られた第1の通信データを格納する第1のバッファと、前記第1の通信データに関する第1の通信制御情報を格納する第1のレジスタと、前記第2のバスに接続された第2の装置から送られた第2の通信データを格納する第2のバッファと、前記第2の通信データに関する第2の通信制御情報を格納する第2のレジスタと、前記第1のバッファに格納された前記第1の通信データを前記第2の装置に渡すと共に、前記第1のレジスタに格納された前記第1の通信制御情報を前記第2の装置に渡し、更に前記第2のバッファに格納された前記第2の通信データを前記第1の装置に渡すと共に、前記第2のレジスタに格納された前記第2の通信制御情報を前記第1の装置に渡す制御回路と、を有することを特徴とするバス間通信インタフェース装置が提供される。

#### 【0027】

このようなバス間通信インタフェース装置によれば、第1の通信データは第1のバッファを介して第1の装置から第2の装置へ転送され、第1の通信制御情報は、第1のレジスタを介して第1の装置から第2の装置へ転送される。また、第2の通信データは第2のバッファを介して第2の装置から第1の装置へ転送され、第2の通信制御情報は、第2のレジスタを介して第2の装置から第1の装置へ転送される。

#### 【0028】

また、本発明では上記課題を解決するために、外部接続バスを介して接続された外部ホスト装置と連携した情報処理を行う情報処理ユニットにおいて、内部CPUと、前記外部ホスト装置から送られた受信データを格納する受信用バッファと、前記受信データに関する受信用通信制御情報を格納する受信用レジスタと、内部バスを介して前記内部CPUから送られた送信データを格納する送信用バッファと、前記送信データに関する受信用通信制御情報を格納する送信用レジスタと、前記受信用バッファに格納された前記受信データを前記内部CPUに渡すと共に、前記受信用レジスタに格納された前記受信用通信制御情報を前記内部CPUに渡し、更に前記送信用バッファに格納された前記送信データを前記外部ホス

ト装置に渡すと共に、前記送信用レジスタに格納された前記送信用通信制御情報を前記外部ホスト装置に渡す制御回路と、を有することを特徴とする情報処理ユニットが提供される。

#### 【0029】

このような情報処理ユニットによれば、受信データは受信用バッファを介して外部ホスト装置から内部CPUへ転送され、受信用通信制御情報は、受信用レジスタを介して外部ホスト装置から内部CPUへ転送される。また、送信データは送信用バッファを介して内部CPUから外部ホスト装置へ転送され、送信用通信制御情報は、送信用レジスタを介して内部CPUから外部ホスト装置へ転送される。

#### 【0030】

また、本発明では上記課題を解決するために、特定の情報処理を実行する情報処理ユニットと連携した処理を実行する外部ホスト装置において、前記情報処理ユニットから送信データの受取を要求する送信データ要求信号が出力されている場合、前記情報処理ユニット内の送信バッファのアドレスを指定して送信データの読み込みを行うと共に、前記情報処理ユニット内の送信用レジスタのアドレスを指定して送信用通信制御情報の読み込みを行うデータ読み込み手段と、前記情報処理ユニットからデータの受信可能を示す受信データ要求信号が出力されている場合、前記情報処理ユニット内の受信バッファのアドレスを指定して受信データの書き込みを行うと共に、前記情報処理ユニット内の受信用レジスタのアドレスを指定して受信用通信制御情報の書き込みを行うデータ書き込み手段と、を有することを特徴とする外部ホスト装置が提供される。

#### 【0031】

このような外部ホスト装置によれば、送信データ要求信号が出力されると、送信バッファから送信データが読み込まれ、送信用レジスタから送信用通信制御情報が読み込まれる。また、受信データ要求信号が出力されると、受信バッファに受信データが書き込まれ、受信用レジスタに受信用通信制御情報が書き込まれる。

#### 【0032】

また、第1のバスに接続された第1の装置と第2のバスに接続された第2の装置との間のデータ通信を、バス間通信インタフェース装置を介して行うためのバス間通信制御方法において、前記第1の装置が、前記第2の装置に渡すべき通信データを、前記バス間通信インタフェース装置内のバッファに格納し、前記第1の装置が、前記通信データに関する通信制御情報を、前記バス間通信インタフェース装置内のレジスタに格納し、前記バス間通信インタフェース装置が、前記バッファに前記通信データが満たされたとき、および前記レジスタに前記通信制御情報が格納されたときに、前記第2の装置に対して割り込み信号を出力し、前記第2の装置が、前記割り込み信号に応答して前記バッファ内の前記通信データまたは、前記レジスタ内の前記通信制御情報を読み込む、ことを特徴とするバス間通信制御方法が提供される。

#### 【0033】

このようなバス間通信制御方法によれば、通信データはバス間通信インタフェース内のバッファに格納され、バッファが通信データで満たされると割り込み信号が出力される。この割り込み信号に応じて、内部CPUによりバッファ内の通信データが読み込まれる。また、通信制御情報はバス間通信インタフェース内のレジスタに格納され、通信制御情報が格納されると割り込み信号が出力される。この割り込み信号に応じて、内部CPUによりレジスタ内の通信制御情報が読み込まれる。

#### 【0034】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

まず、実施の形態に適用される発明の概要について説明し、その後、実施の形態の具体的な内容を説明する。

#### 【0035】

図1は、実施の形態に適用される発明の概念図である。バス間通信インタフェース装置1は、第1のバス4と第2のバス5との間のデータ通信を制御するものである。第1のバス4には第1の装置2が接続されており、第2のバス5には第2の装置3が接続されている。バス間通信インタフェース装置1は、バッファ1

a、レジスタ 1 b、および制御回路 1 c を有している。バッファ 1 a は、第 1 のバスに接続された第 1 の装置 2 から送られた通信データ 6 を格納する。レジスタ 1 b は、通信データ 6 の通信制御情報 7 を格納する。制御回路 1 c は、バッファ 1 a に格納された通信データ 6 を第 2 のバス 5 に接続された第 2 の装置 3 に渡すと共に、レジスタ 1 b に格納された通信制御情報 7 を第 2 の装置 3 に渡す。

#### 【0036】

このような装置において、第 1 の装置 2 は、通信データ 6 を送信する際には、バッファ 1 a に対して書き込みを行い、通信制御情報 7 を送信する際には、レジスタ 1 b に対して書き込みを行う。たとえば、ストリーミングの通信データ 6 がある場合、第 1 の装置 2 は、その通信データ 6 を順次バッファ 1 a に書き込む。そして、通信データ 6 の書き込みが終了すると、通信データ 6 の終了を示すデータ終了情報を通信制御情報 7 としてレジスタ 1 b に書き込む。すると、通信データ 6 はバッファを介して第 1 の装置 2 から第 2 の装置 3 へ転送され、通信制御情報 7 は、レジスタ 1 b を介して第 1 の装置 2 から第 2 の装置 3 へ転送される。

#### 【0037】

このように、通信データ 6 を格納するバッファ 1 a と別のレジスタ 1 b を介して通信制御情報 7 を転送するようにしたことで、第 2 の装置 3 において通信データ 6 と通信制御情報 7 とを判別する処理が簡略化される。すなわち、第 2 の装置 3 は、バッファ 1 a から読み込んだデータは通信データ 6 であり、レジスタ 1 b から読み込んだデータは通信制御情報 7 であると認識できる。そのため、バス間のデータ通信を効率的に行うことができる。具体的には、データ終了情報をレジスタ 1 b を介して転送することで、第 2 の装置 3 において通信データ 6 の内容を解析することなく通信データ 6 の終了を認識できる。その結果、第 2 の装置 3 の処理負荷が軽減される。

#### 【0038】

なお、図 1 には、第 1 の装置 2 から第 2 の装置 3 へのデータ通信の構成のみを示しているが、逆方向のデータ通信も同様の構成で行うことができる。以下、本発明を適用した通信を双方向に行うことができるバス間通信インタフェース装置が組み込まれた情報処理ユニットを例に採り、本発明の実施の形態を具体的に説

明する。

#### 【0039】

図2は、本発明の実施の形態に係る装置のハードウェア構成を示す図である。図2に示すように、情報処理ユニット100は、外部接続バス10を介して外部ホスト200に接続されている。

#### 【0040】

情報処理ユニット100は、内部CPU110、外部接続インタフェース120、周辺回路130、140を有しており、これらの各要素が内部バス150で接続されている。

#### 【0041】

内部CPU110は、情報処理ユニット100全体を制御する。外部接続インタフェース120は、外部接続バス10を介して外部ホスト200に接続されており、外部ホスト200と内部CPU110との間のデータ通信を中継する。周辺回路130、140は、所定のデータ処理を実行するための回路である。たとえば、周辺回路130、140は、暗号化／復号回路やLAN通信回路などである。

#### 【0042】

このような回路構成を有する装置では、外部ホスト200と情報処理ユニット100内の内部CPU110との間で、外部接続インタフェース120を介してデータ通信が行われる。以下、外部接続インタフェース120の詳細な構成について説明する。

#### 【0043】

図3は、外部接続インタフェースの内部構成例を示す図である。外部接続バス10は、データバス11、制御信号入力バス12、および制御信号出力バス13とで構成される。データバス11は、外部ホスト200と情報処理ユニット100との間で通信するデータを双方向に転送するためのバスである。

#### 【0044】

制御信号入力バス12は、外部ホスト200から外部接続インタフェース120へ制御信号を入力するためのバスである。制御信号入力バス12には、チップ



セレクト信号(EX\_CSX)、アドレス信号(EX\_A)、リードストロブ信号(EX\_RDX)、ライトストロブ信号(EX\_WRX)の信号線が含まれる。チップセレクト信号(EX\_CSX)は、アクセスするメモリ回路(FIFOや各種レジスタを含む)を指定する信号である。アドレス信号(EX\_A)は、アクセスするメモリ回路内のアクセス対象とする記憶領域を示す信号である。リードストロブ信号(EX\_RDX)は、読み出しのアクセスであることを示す信号である。ライトストロブ信号(EX\_WRX)は、書き込みのアクセスであることを示す信号である。

#### 【0045】

制御信号出力バス13は、外部接続インタフェース120から外部ホスト200へ制御信号を出力するためのバスである。制御信号出力バス13には、受信データ要求信号(RX\_DRQX)と送信データ要求信号(TX\_DRQX)の信号線が含まれる。受信データ要求信号(RX\_DRQX)は、外部ホスト200に対して、データ受信が可能であることを通知する信号である。送信データ要求信号(TX\_DRQX)は、外部ホスト200に対して、送信すべきデータがあることを通知する信号である。

#### 【0046】

外部接続インタフェース120は、受信用FIFO(RX\_FIFO)121a, 121b、送信用FIFO(TX\_FIFO)122、受信用レジスタ(RX\_REG)123、送信用レジスタ(TX\_REG)124、バスインタフェース(BUS\_IF)125、ステータスレジスタ(ST\_REG)126、およびコントロールブロック127を有している。

#### 【0047】

受信用FIFO121a, 121bは、外部ホスト200からの受信データを記憶するためのデータ記憶領域である。受信用FIFO121a, 121bは、外部接続バス10内のデータバス11を介して、外部ホスト200に接続されている。また、受信用FIFO121a, 121bは、バスインタフェース125に接続されている。受信用FIFO121a, 121bは、1ポートのバッファをダブルバッファ構造にしたものであり、一方の受信用FIFOにデータを格納している間に、他方の受信用FIFOからデータを読み出すことができる。本実施の形態では、受信用FIFO121aをA面とし、受信用FIFO121bを

B面とする。データの格納や読み出しが完了すると、格納対象の受信用FIFOと読み出し対象の受信用FIFOとが切り替えられ、データの格納および読み出しが続行される。

#### 【0048】

送信用FIFO122は、外部ホスト200への送信データを記憶するためのデータ記憶領域である。送信用FIFO122は、外部接続バス10内のデータバス11を介して、外部ホスト200に接続されている。また、受信用FIFO121a, 121bは、バスインタフェース125に接続されている。本実施の形態では送信用FIFO122にデュアルポートバッファが用いられ、データの書き込みと同時に、読み出しを行うことができる。

#### 【0049】

受信用レジスタ123は、受信データのデータ終了情報等の通信制御情報を格納するための記憶領域である。受信用レジスタ123は、外部接続バス10のデータバス11とバスインタフェース125との間に、受信用FIFO121a, 121bと並列に接続されている。

#### 【0050】

送信用レジスタ124は、送信データのデータ終了情報等の通信制御情報を格納するための記憶領域である。送信用レジスタ124は、外部接続バス10のデータバス11とバスインタフェース125との間に、送信用FIFO122と並列に接続されている。

#### 【0051】

バスインタフェース125は、内部バス150を介して内部CPU110と通信するためのインタフェースである。バスインタフェース125は、内部バス150を介して、受信用FIFO121a, 121b内のデータを内部CPU110に送信したり、内部CPU110から送られるデータを送信用FIFO122に格納したりする。また、バスインタフェース125は、コントロールブロック127の制御に従って、内部CPU110に対して受信割り込み信号やDMA転送要求信号等を通知する。受信割り込み信号は、受信用FIFO121a, 121bがデータで満たされたときや、受信用レジスタ123にデータ終了情報が格

納されたときにアサートされる。DMA転送要求信号は、DMA転送を行うときにアサートされる信号である。

#### 【0052】

ステータスレジスタ126は、各FIFOやレジスタの状態を表すレジスタである。ステータスレジスタ126に登録される情報の詳細は、後述する（図4、図5参照）。

#### 【0053】

コントロールブロック127は、外部接続インタフェース120を制御するためのコントローラである。図3では、省略しているが、コントロールブロック127は、他の各構成要素に接続されている。また、コントロールブロック127は、外部接続バス10内の制御信号入力バス12と制御信号出力バス13とに接続されている。

#### 【0054】

次に、図4、図5を参照して、ステータスレジスタ126のデータ構造について説明する。

図4は、ステータスレジスタのデータ構造例を示す第1の図である。図5は、ステータスレジスタのデータ構造例を示す第2の図である。ステータスレジスタ126は32ビットのレジスタであり、図4には第31ビットから第2ビットに設定される情報が示されており、図5には第1ビットと第0ビットに設定される情報が示されている。図4、図5では、各ビットに関し、ビット名、初期値、内部CPU110からのアクセス制限（リード（R）／ライト（W）の可否）、機能が示されている。

#### 【0055】

図4に示すように、第31ビットから第10ビットは、現在使用されておらず、将来の使用のために予約されたビットである。初期値は「0」である。

第7ビットと第6ビットとは、ビット名「TX\_FIFO」、初期値「00」、アクセス制限はリード（R）のみ可能である。この2ビットにより、送信用FIFO122のステータス状況が示される。値が「00」の場合、送信用FIFO122にデータが無いか、若しくはクリアされたことを示す。値が「01」の場合、

送信用FIFO122にデータがあることを示す。値が「10」の場合、送信用FIFO122がデータフルになったことを示す。「11」の値は、将来の使用のために予約された値である。

#### 【0056】

第5ビットと第4ビットは、ビット名「RX\_FIFO\_B」、初期値「00」、アクセス制限はリード（R）のみ可能である。この2ビットにより、B面の受信用FIFO121bのステータス状況が示される。値が「00」の場合、B面の受信用FIFO121bにデータが無いか、若しくはクリアされたことを示す。値が「01」の場合、B面の受信用FIFO121bにデータがあることを示す。値が「10」の場合、B面の受信用FIFO121bがデータフルになったことを示す。「11」の値は、将来の使用のために予約された値である。

#### 【0057】

第3ビットと第2ビットは、ビット名「RX\_FIFO\_A」、初期値「00」、アクセス制限はリード（R）のみ可能である。この2ビットにより、A面の受信用FIFO121aのステータス状況が示される。値が「00」の場合、A面の受信用FIFO121aにデータが無いか、若しくはクリアされたことを示す。値が「01」の場合、A面の受信用FIFO121aにデータがあることを示す。値が「10」の場合、A面の受信用FIFO121aがデータフルになったことを示す。「11」の値は、将来の使用のために予約された値である。

#### 【0058】

第1ビットは、ビット名「TX\_REG\_OUT」、初期値「0」、アクセス制限はリード（R）のみ可能である。このビットにより、送信用レジスタ124のステータス状況が示される。なお、このビットの値は、読み出されると同時にクリアされる（リードクリア）。値が「0」の場合、送信用レジスタ124にデータの出力が無いか、若しくはクリアされたことを示す。値が「1」の場合、送信用レジスタ124にデータの出力があったことを示す。

#### 【0059】

第0ビットは、ビット名「RX\_REG\_IN」、初期値「0」、アクセス制限はリード（R）のみ可能である。このビットにより、受信用レジスタ123のステータス状況が示される。なお、このビットの値は、読み出されると同時にクリアされる（リードクリア）。値が「0」の場合、受信用レジスタ123にデータの出力が無いか、若しくはクリアされたことを示す。値が「1」の場合、受信用レジスタ123にデータの出力があったことを示す。

タス状況が示される。なお、このビットの値は、読み出されると同時にクリアされる（リードクリア）。値が「0」の場合、受信用レジスタ123にデータが無いか、若しくはクリアされたことを示す。値が「1」の場合、受信用レジスタ123にデータがあることを示す。

#### 【0060】

以上のような構成において、以下のような処理が行われる。

まず、外部ホスト200からのデータを受信する処理について説明する。

図6は、データ受信時の処理手順を示すフローチャートである。以下、図6に示す処理をステップ番号に沿って説明する。

#### 【0061】

〔ステップS11〕外部ホスト200は、受信用FIFO121a, 121bの一方へデータを書き込む。なお、受信用FIFO121a, 121bにデータの書き込みが開始されると、コントロールブロック127により、書き込み対象となる受信用FIFOに有効なデータが有ることを示す情報がステータスレジスタ126に設定される。具体的には、A面の受信用FIFO121aにデータの書き込みが行われた場合、ステータスレジスタ126の第3ビットと第2ビットとに「01」が設定される。また、B面の受信用FIFO121bにデータが書き込まれた場合、ステータスレジスタ126の第5ビットと第4ビットとに「01」が設定される。

#### 【0062】

〔ステップS12〕外部接続インタフェース120のコントロールブロック127は、書き込みが行われている受信用FIFOがデータフルになると、そのことを検知し、処理をステップS14に進める。

#### 【0063】

このとき、コントロールブロック127は、ステータスレジスタ126に、受信用FIFOがデータフルになったことを示す値を設定する。具体的には、A面の受信用FIFO121aがデータフルになったのであれば、ステータスレジスタ126の第3ビットと第2ビットとに、「10」が設定される。また、B面の受信用FIFO121bがデータフルになったのであれば、ステータスレジスタ

126の第5ビットと第4ビットとに、「10」が設定される。

#### 【0064】

また、コントロールブロック127は、書き込み対象とする受信用FIFOの切り替えを行う。すなわち、A面の受信用FIFO121aがデータフルになった場合、外部ホスト200からの書き込み対象がB面の受信用FIFO121bに切り替えられる。逆に、B面の受信用FIFO121bがデータフルになった場合、外部ホスト200からの書き込み対象がA面の受信用FIFO121aに切り替えられる。書き込み対象切り替え後は、ステップS14～ステップS16の処理と並行して、新たに書き込み対象とされた受信用FIFOに、外部ホスト200から送られたデータが書き込まれる。

#### 【0065】

〔ステップS13〕 また、外部ホスト200は、転送すべきデータの書き込みが終了した場合などの通信制御情報の送信タイミングになると、データ終了情報等の通信制御情報を受信用レジスタ123に書き込む。このとき、コントロールブロック127は、ステータスレジスタ126に、受信用レジスタ123にデータ終了情報等の通信制御情報が設定されたことを示す値を設定する。具体的には、ステータスレジスタ126の第0ビットに「1」が設定される。

#### 【0066】

〔ステップS14〕 コントロールブロック127は、受信用FIFOがデータフルになった場合、または受信用レジスタ123にデータ終了情報等の通信制御情報が書き込まれた場合、バスインタフェース125を制御して、内部CPU110に対する割り込み信号をアサートする。

#### 【0067】

〔ステップS15〕 内部CPU110は、割り込み信号のアサートに応答して、外部接続インタフェース120内のステータスレジスタ126のデータを読み取る（ステータスリード）。そして、内部CPU110は、ステータスレジスタ126の内容を解析する。受信用FIFOがデータフルであることが示されていれば処理がステップS16に進められ、受信用レジスタ123にデータ終了情報等のデータが設定されたことが示されていれば処理がステップS17に進められ

る。

#### 【0068】

〔ステップS16〕内部CPU110は、受信用FIFOに書き込まれたデータを読み取る。具体的には、ステータスレジスタ126の第3ビットと第2ビットとに「10」が設定されていた場合、内部CPU110はA面の受信用FIFO121aからデータを取得する。ステータスレジスタ126の第5ビットと第4ビットとに「10」が設定されていた場合、内部CPU110はB面の受信用FIFO121bからデータを取得する。

#### 【0069】

なお、受信用FIFO内のデータが内部CPU110で読み取られると、コントロールブロック127により、その受信用FIFOがデータ無しであることを示す値が、ステータスレジスタ126に設定される。具体的には、A面の受信用FIFO121aからデータが読み取られた場合、ステータスレジスタ126の第3ビットと第2ビットとに、「00」の値が設定される。また、B面の受信用FIFO121bからデータが読み取られた場合、ステータスレジスタ126の第5ビットと第4ビットとに、「00」の値が設定される。

#### 【0070】

その後、処理はステップS11に進められ、外部ホスト200から受信用FIFOへの書き込みが続行される。

〔ステップS17〕内部CPU110は、受信用レジスタ123の内容を読み取る。受信用レジスタ123に書き込まれた内容が、データ終了情報であれば処理がステップS18に進められる。データ終了情報以外の通信制御情報が受信用レジスタ123に書き込まれていれば、処理がステップS11に進められ、外部ホスト200から受信用FIFOへの書き込みが続行される。

#### 【0071】

〔ステップS18〕内部CPU110は、受信データのデータ終了情報を取得した場合、データの有る受信用FIFOからデータを読み取る。2つの受信用FIFO121a, 121bのどちらに有効なデータが格納されているのかは、ステータスレジスタ126の設定値に基づいて判断することができる。具体的には

、ステータスレジスタ 126 の第 3 ビットと第 2 ビットとに「01」が設定されていれば、A 面の受信用 FIFO 121a に有効なデータが格納されている。また、ステータスレジスタ 126 の第 5 ビットと第 4 ビットとに「01」が設定されていれば、B 面の受信用 FIFO 121b に有効なデータが格納されている。

#### 【0072】

このように受信用レジスタ 123 を介して通信制御情報の受け渡しを行うことにより、受信用 FIFO 121a, 121b に格納されたデータ内容を逐一解析する必要が無くなる。その結果、外部ホスト 200 からのデータ受信を効率よく行うことができる。

#### 【0073】

図 7 は、データ送信時の処理手順を示すフローチャートである。以下、図 7 に示す処理をステップ番号に沿って説明する。

〔ステップ S21〕 外部接続インタフェース 120 の内部 CPU 110 は、送信用 FIFO 122 にデータを書き込む。外部ホスト 200 に対して送信すべき他の通信制御情報があれば、処理がステップ S22 に進められる。通信制御情報がなければ処理がステップ S23 に進められる。

#### 【0074】

なお、送信用 FIFO 122 にデータの書き込みが開始されると、コントロールブロック 127 により、送信用 FIFO 122 に有効なデータが有ることを示す情報がステータスレジスタ 126 に設定される。具体的には、ステータスレジスタ 126 の第 7 ビットと第 6 ビットとに「01」が設定される。

#### 【0075】

〔ステップ S22〕 内部 CPU 110 は、送信用レジスタ 124 に通信制御情報を書き込む。このとき、コントロールブロック 127 は、ステータスレジスタ 126 に、送信用レジスタ 124 にデータ終了情報等の通信制御情報が設定されたことを示す値を設定する。具体的には、ステータスレジスタ 126 の第 1 ビットに「1」が設定される。

#### 【0076】

〔ステップ S23〕 コントロールブロック 127 は、データ送信要求信号をア



サートする。

【ステップS24】外部ホスト200は、データ送信要求信号がアサートされると、送信用FIFO122内のデータをリードする。データリード後、送信用FIFO122内にデータが無くなれば (Empty)、データ送信処理が終了する。送信用FIFO122内にデータがあれば (not Empty)、処理がステップS23に進められデータ送信処理が実行される。

#### 【0077】

【ステップS25】外部ホスト200は、データ送信要求信号がアサートされている間、定期的に送信用レジスタ124の内容をリードする。そして、外部ホスト200は、送信用レジスタ124内に管理情報が格納されていれば、その管理情報に応じた処理を行う。その後、送信用FIFO122内にデータが無くなれば (Empty)、データ送信処理が終了する。送信用FIFO122内にデータがあれば (not Empty)、処理がステップS23に進められデータ送信処理が実行される。

#### 【0078】

図8は、内部バスの信号の構成例を示す図である。内部バス150には、9種類の信号線が設けられている。

端子名が「MCLK0」の信号線で通信される信号の名称は「クロック信号」であり、外部接続インタフェース120への入力信号である。この信号線は、同期用のクロック信号の入力に使用される。

#### 【0079】

端子名が「RSTXI」の信号線で通信される信号の名称は「リセット信号」であり、外部接続インタフェース120への入力信号である。この信号線は、リセット信号の入力に使用される。

#### 【0080】

端子名が「A0[3:0]」の信号線で通信される信号の名称は「アドレスバス」であり、外部接続インタフェース120への入力信号である。この信号線は、アドレス信号の入力に使用される。

#### 【0081】

端子名が「D0[31:0]」の信号線で通信される信号の名称は「ライトデータバス」であり、外部接続インタフェース 1 2 0 への入力信号である。この信号線は、ライトデータの入力に使用される。

**【 0 0 8 2 】**

端子名が「DI[31:0]」の信号線で通信される信号の名称は「リードデータバス」であり、外部接続インタフェース 1 2 0 からの出力信号である。この信号線は、リードデータの出力に使用される。

**【 0 0 8 3 】**

端子名が「RDX0」の信号線で通信される信号の名称は「リードストロブ信号」であり、外部接続インタフェース 1 2 0 への入力信号である。この信号線は、リードストロブ信号の入力に使用される。なお、リードストロブ信号は、Lowアクティブの信号である。

**【 0 0 8 4 】**

端子名が「WRX0[3:0]」の信号線で通信される信号の名称は「ライトストロブ信号」であり、外部接続インタフェース 1 2 0 への入力信号である。この信号線は、ライトストロブ信号の入力に使用される。なお、ライトストロブ信号は、Lowアクティブの信号である。

**【 0 0 8 5 】**

端子名が「CSX」の信号線で通信される信号の名称は「チップセレクト信号」であり、外部接続インタフェース 1 2 0 への入力信号である。この信号線は、チップセレクト信号の入力に使用される。なお、チップセレクト信号は、Lowアクティブの信号である。

**【 0 0 8 6 】**

端子名が「INT」の信号線で通信される信号の名称は「割り込み信号」であり、外部接続インタフェース 1 2 0 からの出力信号である。この信号線は、割り込み信号の出力に使用される。なお、割り込み信号は、highアクティブの信号である。

**【 0 0 8 7 】**

図 9 は、外部接続バスの信号構成例を示す図である。外部接続バス 1 0 には、

9種類の信号線が設けられている。

端子名が「EX\_DI[15:0]」の信号線で通信される信号の名称は「入力データバス」であり、外部接続インタフェース120への入力信号である。この信号線は、外部ホスト200からのデータ入力に使用される。

【0088】

端子名が「EX\_D0[15:0]」の信号線で通信される信号の名称は「出力データバス」であり、外部接続インタフェース120からの出力信号である。この信号線は、外部ホスト200へのデータ出力に使用される。

【0089】

端子名が「EX\_DOE」の信号線で通信される信号の名称は「データバス方向切り替え信号」であり、外部接続インタフェース120からの出力信号である。この信号線は、データバス方向切り替え信号の出力に使用される。

【0090】

端子名が「EX\_CSX」の信号線で通信される信号の名称は「チップセレクト信号」であり、外部接続インタフェース120への入力信号である。この信号線は、チップセレクト信号の入力に使用される。なお、チップセレクト信号は、Lowアクティブの信号である。

【0091】

端子名が「EX\_A」の信号線で通信される信号の名称は「アドレス信号」であり、外部接続インタフェース120への入力信号である。この信号線は、アドレス信号の入力に使用される。なお、アドレス信号は、値が「0」のときレジスタ選択を示し、値が「1」のときFIFO選択を示す。

【0092】

端子名が「EX\_RDX」の信号線で通信される信号の名称は「リードストローブ信号」であり、外部接続インタフェース120への入力信号である。この信号線は、リードストローブ信号の入力に使用される。なお、リードストローブ信号は、Lowアクティブの信号である。

【0093】

端子名が「EX\_WRX」の信号線で通信される信号の名称は「ライトストローブ

信号」であり、外部接続インタフェース120への入力信号である。この信号線は、ライトストロブ信号の入力に使用される。なお、ライトストロブ信号は、Lowアクティブの信号である。

#### 【0094】

端子名が「RX\_DRQX」の信号線で通信される信号の名称は「受信データ要求信号」であり、外部接続インタフェース120からの出力信号である。この信号線は、受信データ要求信号の出力に使用される。なお、受信データ要求信号は、Lowアクティブの信号である。受信データ要求信号は、何れかの受信用FIFO121a, 121bがデータフルになるまで”Low”レベルにアサートされる。

#### 【0095】

端子名が「TX\_DRQX」の信号線で通信される信号の名称は「送信データ要求信号」であり、外部接続インタフェース120からの出力信号である。この信号線は、送信データ要求信号の出力に使用される。なお、送信データ要求信号は、Lowアクティブの信号である。送信データ要求信号は、送信用レジスタ124および送信用の内蔵RAMに読み出し可能なデータが有る場合、送信用FIFO122がデータフルになるまで”Low”レベルにアサートされる。

#### 【0096】

このような信号を用いて、外部ホスト200と内部CPU110との間のデータ通信が行われる。以下に、外部ホスト200からのデータを受信する場合と、外部ホスト200に対してデータを送信する場合とについて、タイミングチャートを参照して説明する。

#### 【0097】

図10は、データ受信の際のタイミングチャートである。図10では、内部バス150で供給されるクロック信号(MCLK0)の下に外部接続バス10の信号が示されており、その下に内部バス150の信号が示されている。

#### 【0098】

外部接続バス10の信号としては、受信データ要求信号(RX\_DRQX)、アドレス信号(EX\_A)、チップセレクト信号(EX\_CSX)、ライトストロブ信号(EX\_WRX)、リードストロブ信号(EX\_RDX)、データバス11が示されている。内部バス

150の信号としては、割り込み信号(INT)、アドレスバス(A0[3:0])、チップセレクト信号(CSX)、リードストローブ信号(RDX0)、リードデータバス(DI[31:0])が示されている。また、情報処理ユニット100内部の状態として、受信用レジスタ入力ステータス(RX\_REG\_IN)と受信用レジスタ123の値とが示されている。

#### 【0099】

なお、図10において、割り込み信号はハイクティブであり、他の信号はローアクティブである。また、外部側のアドレス信号(EX\_A)はLowの時レジスタを選択し、Highの時FIFOを選択している。受信用レジスタ入力ステータス(RX\_REG\_IN)とは、ステータスレジスタ126の第0ビットの値である。

#### 【0100】

また、受信用FIFO121a, 121bがフルとなったとき、割り込み信号が発生する。その時、内部CPU110は、ステータスレジスタ126の内容を読み取ることによりFIFOがデータフルであることを認識し、受信用FIFO121a, 121bの読み取りを開始する。受信データ要求信号は、受信用FIFO121a, 121bにデータが書き込める場合(フルでない場合)、常にアサートし続けられる。

#### 【0101】

以下に、図10に示す信号の遷移を時系列で説明する。

まず、時刻t1に、外部ホスト200において内部CPU110に渡すべきデータが発生し、外部接続バス10にアドレス信号(EX\_A)で受信用レジスタ123が指定される。

#### 【0102】

時刻t2(時刻t1の1周期後)に、チップセレクト信号(EX\_CSX)とライトストローブ信号(EX\_WRX)とがアサートされると共に、外部ホスト200からデータバス11へ通信制御情報が出力される。

#### 【0103】

時刻t3(時刻t2の1周期後)に、内部バス150の割り込み信号(INT)がアサートされる。このとき、ステータスレジスタ126の受信用レジスタ入力ス

ステータス(RX\_REG\_IN)が、「0」(受信用レジスタ123に未読データ無し)から「1」(受信用レジスタ123に未読データ有り)に変更される。同時に、受信用レジスタ123に通信制御情報が格納される。

【0104】

時刻 t 4 (時刻 t 3 の 1 周期後) に、チップセレクト信号(EX\_CSX)とライトストロブ信号(EX\_WRX)とがネゲートされる。このとき、外部ホスト 200 からの通信データの出力は停止する。

【0105】

時刻 t 5 (時刻 t 4 の 1 周期後) に、内部 CPU 110 は、内部バス 150 のアドレスバス(A0[3:0])に、ステータスレジスタ 126 のアドレスを出力する。

時刻 t 6 (時刻 t 5 の 1 周期後) に、内部 CPU 110 により、チップセレクト信号(CSX)とリードストロブ信号(RDX0)とがアサートされる。

【0106】

時刻 t 7 (時刻 t 6 の 1 周期後) に、ステータスレジスタ 126 の内容がリードデータバス(DI[31:0])に出力される。このとき、ステータスレジスタ 126 内の受信用レジスタ入力ステータス(RX\_REG\_IN)は「1」に設定されている。ステータスレジスタ 126 の内容のリードが行われたことにより、割り込み信号(INT)はネゲートされる。

【0107】

時刻 t 8 (時刻 t 7 の 1 周期後) に、チップセレクト信号(CSX)とリードストロブ信号(RDX0)とがネゲートされる。

時刻 t 9 (時刻 t 8 の 1 周期後) に、内部 CPU 110 は、受信用レジスタ 123 内に未読データが存在していることを認識し、アドレスバス(A0[3:0])に、受信用レジスタ 123 のアドレスを出力する。このとき、リードデータバス(DI[31:0])へのステータスレジスタ 126 の内容の出力が停止され、ステータスレジスタ 126 の受信用レジスタ入力ステータス(RX\_REG\_IN)に「0」が設定される。

【0108】

時刻 t 10 (時刻 t 9 の 1 周期後) に、チップセレクト信号(CSX)とリードス

トローブ信号(RDX0)とがアサートされる。

時刻 t 1 1 (時刻 t 1 0 の 1 周期後) に、受信用レジスタ 1 2 3 の内容がリードデータバス(DI[31:0])に出力される。これにより、受信用レジスタ 1 2 3 に格納された通信データが内部 CPU 1 1 0 に渡される。

#### 【0109】

時刻 t 1 2 (時刻 t 1 1 の 1 周期後) に、チップセレクト信号(CSX)とリードストローブ信号(RDX0)とがネゲートされる。

時刻 t 1 3 (時刻 t 1 2 の 1 周期後) に、内部 CPU 1 1 0 によるアドレスバス(A0[3:0])への受信用レジスタ 1 2 3 のアドレス出力が停止すると共に、外部接続インタフェース 1 2 0 によるリードデータバス(DI[31:0])への受信用レジスタ 1 2 3 の内容の出力が停止する。

#### 【0110】

次に、データ送信時の処理について説明する。

図 1 1 は、データ送信の際のタイミングチャートである。図 1 1 では、内部バス 1 5 0 で供給されるクロック信号(MCLK0)の下に外部接続バス 1 0 の信号が示されており、その下に内部バス 1 5 0 の信号が示されている。

#### 【0111】

外部接続バス 1 0 の信号としては、送信データ要求信号(TX\_DRQX)、アドレス信号(EX\_A)、チップセレクト信号(EX\_CSX)、ライトストローブ信号(EX\_WRX)、リードストローブ信号(EX\_RDX)、データバス 1 1 が示されている。内部バス 1 5 0 の信号としては、アドレスバス(A0[3:0])、チップセレクト信号(CSX)、ライトストローブ信号(WRX0[3:0])、リードストローブ信号(RDX0)、ライトデータバス(DO[31:0])、リードデータバス(DI[31:0])、割り込み信号(INT)が示されている。また、情報処理ユニット 1 0 0 内部の状態として、送信用レジスタ 1 2 4 の値と送信用レジスタ出力ステータス(TX\_REG\_OUT)の値が示されている。

#### 【0112】

なお、図 1 1 において、割り込み信号(INT)はハイアクティブ(1の時有効)であり、他の信号は全てローアクティブ(0の時有効)である。外部接続バス 1 0 のアドレス信号(EX\_A)はLowの時レジスタを選択し、Highの時送信用 F I F

0122を選択している。送信用レジスタステータスとは、ステータスレジスタ126の第1ビットの値である。送信データ要求信号(TX\_DRQX)は、送信用レジスタ124に未送信のデータがある時と、送信用FIFO122に送信可能なデータが存在する場合にアサートされる。ステータスレジスタ126の内容が読み出されることにより、送信用レジスタ出力ステータス(TX\_REG\_OUT)の値はクリアされる。送信用レジスタ124は、データがリードされると内部のデータを0クリアする。外部ホスト200は、送信用レジスタ124のリード時に、レジスタ内部のデータが0でなければ新規送信データとして認識する。

#### 【0113】

以下に、図11に示す信号の遷移を時系列で説明する。

まず、時刻t21に、内部CPU110により、アドレスバス(A0[3:0])に送信用レジスタ124のアドレスが出力されると共に、データバス(D0[31:0])に通信データが出力される。このとき、送信用レジスタ124の値は「0」である。また、送信用レジスタ出力ステータス(TX\_REG\_OUT)の値も「0」である。

#### 【0114】

時刻t22(時刻t21の1周期後)に、チップセレクト信号(CSX)とライトストロブ信号(WRX0[3:0])とがアサートされる。

時刻t23(時刻t22の1周期後)に、送信用レジスタ124に通信データが書き込まれる。すなわち、チップセレクト信号(CSX)とライトストロブ信号(WRX0[3:0])とがアサートされたことにより、アドレスバス(A0[3:0])で指定されたアドレス(送信用レジスタ124のアドレス)への通信データの書き込みが行われる。このとき、外部接続バス10の送信データ要求信号(TX\_DRQX)がアサートされる。

#### 【0115】

時刻t24(時刻t23の1周期後)に、チップセレクト信号(CSX)とライトストロブ信号(WRX0[3:0])とがネゲートされる。

時刻t25(時刻t24の1周期後)に、アドレスバス(A0[3:0])への送信用レジスタ124のアドレスの出力が停止されると共に、ライトデータバス(D0[31:0])への通信データの出力が停止される。



**【0116】**

時刻 t 2 6 (時刻 t 2 5 の 1 周期後) に、外部接続バス 1 0 のチップセレクト信号(EX\_CSX)とリードストロブ信号(EX\_RDX)とがアサートされる。

時刻 t 2 7 (時刻 t 2 6 の 1 周期後) に、データバス 1 1 に対して、送信用レジスタ 1 2 4 に格納されていた通信データが出力され、送信データ要求信号(TX\_DRQX)がネゲートされる。

**【0117】**

時刻 t 2 8 (時刻 t 2 7 の 1 周期後) に、外部接続バス 1 0 のチップセレクト信号(EX\_CSX)とリードストロブ信号(EX\_RDX)とがネゲートされる。また、データバス 1 1 に通信データが出力されたことにより、内部 CPU 1 1 0 に対して割り込み信号(INT)がアサートされる。

**【0118】**

時刻 t 2 9 (時刻 t 2 8 の 1 周期後) に、送信用レジスタ 1 2 4 が 0 クリアされ、送信用レジスタ出力ステータス(TX\_REG\_OUT)に 1 が設定される。このとき、外部接続バス 1 0 のデータバス 1 1 への通信データの出力が停止される。

**【0119】**

時刻 t 3 0 (時刻 t 2 9 の 2 周期後) に、内部 CPU 1 1 0 により、アドレスバス(A0[3:0])にステータスレジスタ 1 2 6 のアドレスが出力される。

時刻 t 3 1 (時刻 t 3 0 の 1 周期後) に、チップセレクト信号(CSX)とリードストロブ信号(RDX0)とがアサートされる。

**【0120】**

時刻 t 3 2 (時刻 t 3 1 の 1 周期後) に、リードデータバス(DI[31:0])にステータスレジスタ 1 2 6 のデータが出力される。これにより、内部 CPU 1 1 0 において、ステータスレジスタ 1 2 6 の値が読み込まれる。このとき、割り込み信号(INT)がネゲートされる。

**【0121】**

時刻 t 3 3 (時刻 t 3 2 の 1 周期後) に、チップセレクト信号(CSX)とリードストロブ信号(RDX0)とがネゲートされる。

時刻 t 3 4 (時刻 t 3 3 の 1 周期後) に、アドレスバス(A0[3:0])へのステー

タスレジスタ126のアドレス出力、およびリードデータバス(DI[31:0])へのデータ出力が停止される。このとき、ステータスレジスタ126の値が内部CPU110で読み込まれたことにより、送信用レジスタ出力ステータス(TX\_REG\_OUT)が0にクリアされる。

#### 【0122】

以上のようにして、外部接続インタフェース120を介して外部ホスト200と内部CPU110との間でデータ通信が行われる。このとき、FIFO以外に、受信用レジスタ123や送信用レジスタ124が設けられ、これらのレジスタを介して管理情報(データ終了情報等)の受け渡しができる。これにより、FIFOを介して通信されるデータの内容を逐次解析する必要が無くなり、内部CPU110等にかかる処理付加が軽減される。内部CPU110は、処理負荷が軽減した分の処理能力を、暗号化/復号等の他の処理に振り当てることができる。

#### 【0123】

なお、本実施の形態を実現するためには、外部ホスト200がデータの送受信を行う際のアドレス指定を、FIFOとレジスタとの間で適宜切り替える必要がある。以下に、外部ホスト200がデータ通信を行う際の処理手順について説明する。

#### 【0124】

図12は、外部ホストにおけるデータ受信手順を示すフローチャートである。以下、図12に示す処理をステップ番号に沿って説明する。

[ステップS31] 外部ホスト200は、送信データ要求信号(TX\_DRQX)がアサートされているか否かを判断する。アサートされていれば処理がステップS32に進められる。アサートされていなければステップS31の処理が繰り返される。

#### 【0125】

[ステップS32] 外部ホスト200は、送信用レジスタ124のアドレスと送信用FIFO122のアドレスとの何れかを選択する。どちらのアドレスを選択するのかは、予め設定された規則に従って決定する。たとえば、送信用レジスタ124のデータを参照する周期が決定されており、その周期毎に送信用レジ

タ 1 2 4 のアドレスを選択し、それ以外のタイミングでは送信用 F I F O 1 2 2 のアドレスを選択する。

【0126】

〔ステップ S 3 3〕 外部ホスト 2 0 0 は、選択されたアドレスのデータを受信する。送信用レジスタ 1 2 4 のアドレスが選択されたのであれば、送信用レジスタ 1 2 4 内のデータを受信し、送信用 F I F O 1 2 2 のアドレスが選択されたのであれば、送信用 F I F O 1 2 2 のデータを受信する。その後、処理がステップ S 3 1 に進められる。

【0127】

以上のようにして、外部ホスト 2 0 0 は、送信データ要求信号(TX\_DRQX)がアサートされている間、外部ホスト 2 0 0 は、定期的に送信用レジスタ 1 2 4 をリードする。なお、情報処理ユニット 1 0 0 から外部ホスト 2 0 0 へ送信するデータが無くなれば、送信データ要求信号(TX\_DRQX)がネゲートされ、外部ホスト 2 0 0 から送信用レジスタ 1 2 4 や送信用 F I F O 1 2 2 への読み取りアクセスは中断する。

【0128】

図 1 3 は、外部ホストにおけるデータ送信手順を示すフローチャートである。以下、図 1 3 に示す処理をステップ番号に沿って説明する。

〔ステップ S 4 1〕 外部ホスト 2 0 0 は、受信データ要求信号(RX\_DRQX)がアサートされているか否かを判断する。受信データ要求信号がアサートされていれば、処理がステップ S 4 2 に進められる。受信データ要求信号がアサートされていなければ、ステップ S 4 1 の処理が繰り返される。

【0129】

〔ステップ S 4 2〕 外部ホスト 2 0 0 は、受信用レジスタ 1 2 3 のアドレスと受信用 F I F O 1 2 1 a, 1 2 1 b のアドレスとの何れかを選択する。どちらのアドレスを選択するのかは、送信すべきデータの内容に応じて決定する。たとえば、内部 C P U 1 1 0 に渡すべき実データを送信する場合、受信用 F I F O 1 2 1 a, 1 2 1 b のアドレスを選択する。そして、実データの送信が終了し、データ終了情報を送信する場合、受信用レジスタ 1 2 3 のアドレスを選択する。

**【0130】**

〔ステップS43〕外部ホスト200は、選択されたアドレス宛にデータを送信する。受信用レジスタ123のアドレスが選択されたのであれば、受信用レジスタ123へデータを送信し、受信用FIFO121a, 121bのアドレスが選択されたのであれば、受信用FIFO121a, 121bへデータを送信する。その後、処理がステップS41に進められる。

**【0131】**

以上のようにして、外部ホスト200は、受信データ要求信号(RX\_DRQX)がアサートされている場合、受信用FIFO121a, 121bや受信用レジスタ123にデータを格納することができる。たとえば、一連のデータをリードする。なお、情報処理ユニット100から外部ホスト200へ送信するデータが無くなれば、送信データ要求信号(TX\_DRQX)がネゲートされ、外部ホスト200から送信用レジスタ124や送信用FIFO122への読み取りアクセスは中断する。

**【0132】**

なお、外部ホスト200における図12、図13に示した処理機能は、予め用意されたプログラムを外部ホスト200内のCPUが実行することで実現することができる。処理内容を記述したプログラムは、コンピュータで読み取り可能な記録媒体に記録しておくことができる。コンピュータで読み取り可能な記録媒体としては、磁気記録装置、光ディスク、光磁気記録媒体、半導体メモリなどがある。磁気記録装置には、ハードディスク装置(HDD)、フレキシブルディスク(FD)、磁気テープなどがある。光ディスクには、DVD(Digital Versatile Disc)、DVD-RAM(Random Access Memory)、CD-ROM(Compact Disc Read Only Memory)、CD-R(Recordable)/RW(ReWritable)などがある。光磁気記録媒体には、MO(Magneto-Optical disc)などがある。

**【0133】**

プログラムを流通させる場合には、たとえば、そのプログラムが記録されたDVD、CD-ROMなどの可搬型記録媒体が販売される。また、プログラムをサーバコンピュータの記憶装置に格納しておき、ネットワークを介して、サーバコンピュータから他のコンピュータにそのプログラムを転送することもできる。

## 【0134】

プログラムを実行するコンピュータは、たとえば、可搬型記録媒体に記録されたプログラムもしくはサーバコンピュータから転送されたプログラムを、自己の記憶装置に格納する。そして、コンピュータは、自己の記憶装置からプログラムを読み取り、プログラムに従った処理を実行する。なお、コンピュータは、可搬型記録媒体から直接プログラムを読み取り、そのプログラムに従った処理を実行することもできる。また、コンピュータは、サーバコンピュータからプログラムが転送される毎に、逐次、受け取ったプログラムに従った処理を実行することもできる。

## 【0135】

以上説明したように、本発明の実施の形態では、外部インタフェース部分に送信用 F I F O (TX\_\_FIFO)、受信用 F I F O (RX\_\_FIFO) と共に送信用レジスタ (TX\_\_REG)、受信用レジスタ (RX\_\_FIFO) を設けることにより外部との通信を可能にしている。外部ホスト 200 から受信用レジスタ 123 に通信制御情報が書き込まれると、割り込み信号がアサートされることで、内部 CPU 110 は受信用レジスタ 123 への書き込みを認識できる。また、送信用レジスタ 124 への書き込み時は、書き込まれることで外部へのデータ送信要求信号をアサートすることにより、外部ホスト 200 は送信用レジスタ 124 にデータが書き込まれたことを認識できる。送信用レジスタ 124 のデータが既に読み込まれたものであるかどうかは、送信用レジスタ 124 内のデータをリードクリアすることで判別可能となる。

## 【0136】

このように、データ送受信の終了などの通信に必要となる情報を、レジスタでやりとりすることで、F I F O 内部のデータを解析する必要がなく、内部 CPU 110 の負荷が軽減される。すなわち、通信の状況に応じて、外部ホスト 200 もしくは内部 CPU 110 は、通信する内容等の情報を相手に伝える必要がある。この時、データ送信側がアドレス信号 (EX\_\_A or A0) でレジスタを選択し、データを書き込むことにより、通信制御情報を F I F O を介さず相手に送ることが出来る。このことにより、内部 CPU 110 はレジスタからのデータを通信制

御情報であると認識すればよく、F I F O のデータが通信制御情報かデータかを解析する必要はなくなる。従って内部 C P U 1 1 0 の負荷は軽減され、より良いパフォーマンスが期待できる。

#### 【0137】

また、データ送受信中にレジスタを通じて任意の情報を交換することが出来る。すなわち、従来の外部接続インタフェースでは、F I F O のデータ内に通信制御情報が格納されるので、データを読み込んでからでないと情報のやりとりが出来ない構造となっていた。一方、本実施の形態ではレジスタに通信制御情報が格納されると内部 C P U 1 1 0 に対して割り込みが発生するため、遅延無く、通信制御情報が内部 C P U 1 1 0 に渡される。その結果、データ送受信の途中でも外部ホスト 2 0 0 と内部 C P U 1 1 0 間の迅速な情報の送受信が可能である。

#### 【0138】

このような、F I F O とは別に設けられたレジスタにより通信制御情報を送受信することで、通信データの転送効率を下げずに、他の情報を受け渡すことが可能となる。したがって、ネットワーク等のデータがストリームとして流れている場合に特に効果が大きくなる。たとえば、動画データデータのストリーム配信を行いながら、そのストリームの転送効率を低下させずに、通信制御情報の受け渡しが可能である。

#### 【0139】

また、レジスタにデータ終了情報を格納することで、F I F O のデータをリードしなくても、送受信の終了が判定できる。そのため、例えば 1 ポート R A M を使用した F I F O の場合、データがフルとならなくても F I F O へのデータ書き込みを止め、データを読み出す判断が可能となる。すなわち、従来技術では、1 ポート R A M を用いた F I F O では、データがフルとなってからでないと割り込み信号もしくはデータ送受信要求信号がアサートされない。そのためデータの受信側では F I F O がデータフルになるまでリードすることができない。一方、本実施の形態では、データ送受信終了となり、F I F O フルとなっていない状況でもレジスタにデータ終了情報を書き込むことにより、最後のデータが格納されたことが内部 C P U 1 1 0 に通知される。その結果、F I F O がデータフルになら

なくとも、FIFOからのデータの読み込みを開始することが可能となる。

#### 【0140】

なお、送信用レジスタ124をフリーのレジスタとして使用することもできる。送信用レジスタ124を用いて、例えば受信用FIFO121a, 121b内の書き込み可能バイト数などの自由なデータを外部ホスト200へと送ることができる。これにより、外部接続インタフェース120の利用範囲が広がると共に、円滑なデータ通信を行うことが可能となる。

#### 【0141】

同様に、受信用レジスタ123をフリーのレジスタとして使用することができる。受信用レジスタ123を用いて、例えば外部ホスト200側からの送信データサイズなどの自由なデータを送ることができる。これにより、外部接続インタフェース120の利用範囲が広がると共に、円滑なデータ通信を行うことが可能となる。

#### 【0142】

(付記1) 第1のバスと第2のバスとの間のデータ通信を制御するバス間通信インタフェース装置において、

前記第1のバスに接続された第1の装置から送られた通信データを格納するバッファと、

前記通信データに関する通信制御情報を格納するレジスタと、

前記バッファに格納された前記通信データを前記第2のバスに接続された第2の装置に渡すと共に、前記レジスタに格納された前記通信制御情報を前記第2の装置に渡す制御回路と、

を有することを特徴とするバス間通信インタフェース装置。

#### 【0143】

(付記2) 前記バッファは、先に格納したデータを先に出力する方式のバッファであることを特徴とする付記1記載のバス間通信制御回路。

(付記3) 前記バッファは、複数のバッファ領域を有しており、それぞれのバッファ領域を交互に前記通信データの格納対象とすることを特徴とする付記1記載のバス間通信インタフェース装置。

**【0144】**

(付記4) 前記制御回路は、前記レジスタに前記通信制御情報が格納されると、前記第2の装置に対して割り込み信号を出力することを特徴とする付記1記載のバス間通信インタフェース装置。

**【0145】**

(付記5) 前記レジスタ内の未送信データの有無を示す情報を格納するステータスレジスタを更に有し、

前記制御回路は、前記レジスタに新たなデータが格納されたとき、および前記第2の装置により前記バッファのデータが読み出されたとき、前記ステータスレジスタの情報を更新することを特徴とする付記1記載のバス間通信インタフェース装置。

**【0146】**

(付記6) 第1のバスと第2のバスとの間のデータ通信を制御するバス間通信インタフェース装置において、

前記第1のバスに接続された第1の装置から送られた第1の通信データを格納する第1のバッファと、

前記第1の通信データに関する第1の通信制御情報を格納する第1のレジスタと、

前記第2のバスに接続された第2の装置から送られた第2の通信データを格納する第2のバッファと、

前記第2の通信データに関する第2の通信制御情報を格納する第2のレジスタと、

前記第1のバッファに格納された前記第1の通信データを前記第2の装置に渡すと共に、前記第1のレジスタに格納された前記第1の通信制御情報を前記第2の装置に渡し、更に前記第2のバッファに格納された前記第2の通信データを前記第1の装置に渡すと共に、前記第2のレジスタに格納された前記第2の通信制御情報を前記第1の装置に渡す制御回路と、

を有することを特徴とするバス間通信インタフェース装置。

**【0147】**



(付記 7) 外部接続バスを介して接続された外部ホスト装置と連携した情報処理を行う情報処理ユニットにおいて、

内部 CPU と、

前記外部ホスト装置から送られた受信データを格納する受信用バッファと、

前記受信データに関する受信用通信制御情報を格納する受信用レジスタと、

内部バスを介して前記内部 CPU から送られた送信データを格納する送信用バッファと、

前記送信データに関する送信用通信制御情報を格納する送信用レジスタと、

前記受信用バッファに格納された前記受信データを前記内部 CPU に渡すと共に、前記受信用レジスタに格納された前記受信用通信制御情報を前記内部 CPU に渡し、更に前記送信用バッファに格納された前記送信データを前記外部ホスト装置に渡すと共に、前記送信用レジスタに格納された前記送信用通信制御情報を前記外部ホスト装置に渡す制御回路と、

を有することを特徴とする情報処理ユニット。

#### 【0148】

(付記 8) 前記制御回路は、前記受信用バッファが前記受信データで満たされたとき、および前記受信用レジスタに前記受信用通信制御情報が格納されたとき、前記内部 CPU に対して割り込み信号を出力することを特徴とする付記 7 記載の情報処理ユニット。

#### 【0149】

(付記 9) 前記受信用レジスタ内の未送信データの有無を示す情報を格納するステータスレジスタを更に有し、

前記制御回路は、前記レジスタに新たなデータが格納されたとき、および前記第 2 の装置により前記バッファのデータが読み出されたとき、前記ステータスレジスタの情報を更新し、

前記内部 CPU は、前記割り込み信号を受け取ると前記ステータスレジスタの内容を参照することを特徴とする付記 8 記載の情報処理ユニット。

#### 【0150】

(付記 10) 前記制御回路は、前記受信用バッファまたは前記受信用レジス

タにデータが格納されたとき、前記外部ホスト装置に対して、送信データの受取を要求する送信データ要求信号を出力することを特徴とする付記 7 記載の情報処理ユニット。

#### 【0151】

(付記 11) 特定の情報処理を実行する情報処理ユニットと連携した処理を実行する外部ホスト装置において、

前記情報処理ユニットから送信データの受取を要求する送信データ要求信号が出力されている場合、前記情報処理ユニット内の送信バッファのアドレスを指定して送信データの読み込みを行うと共に、前記情報処理ユニット内の送信用レジスタのアドレスを指定して送信用通信制御情報の読み込みを行うデータ読み込み手段と、

前記情報処理ユニットからデータの受信可能を示す受信データ要求信号が出力されている場合、前記情報処理ユニット内の受信バッファのアドレスを指定して受信データの書き込みを行うと共に、前記情報処理ユニット内の受信用レジスタのアドレスを指定して受信用通信制御情報の書き込みを行うデータ書き込み手段と、

を有することを特徴とする外部ホスト装置。

#### 【0152】

(付記 12) 前記データ書き込み手段は、前記受信データの書き込みが完了したとき、前記受信用通信制御情報として、前記受信データの書き込みが終了したことを通知するデータ終了情報の書き込みを行うことを特徴とする付記 11 記載の外部ホスト装置。

#### 【0153】

(付記 13) 第 1 のバスに接続された第 1 の装置と第 2 のバスに接続された第 2 の装置との間のデータ通信を、バス間通信インタフェース装置を介して行うためのバス間通信制御方法において、

前記第 1 の装置が、前記第 2 の装置に渡すべき通信データを、前記バス間通信インタフェース装置内のバッファに格納し、

前記第 1 の装置が、前記通信データに関する通信制御情報を、前記バス間通信

インタフェース装置内のレジスタに格納し、

前記バス間通信インタフェース装置が、前記バッファに前記通信データが満たされたとき、および前記レジスタに前記通信制御情報が格納されたときに、前記第 2 の装置に対して割り込み信号を出力し、

前記第 2 の装置が、前記割り込み信号に応答して前記バッファ内の前記通信データまたは、前記レジスタ内の前記通信制御情報を読み込む、

ことを特徴とするバス間通信制御方法。

#### 【0154】

(付記 14) 前記第 1 の装置は、前記通信制御情報として、前記通信データの書き込みが終了したことを通知するデータ終了情報を書き込み、

前記第 2 の装置は、前記データ終了情報を読み込むことで、前記通信データの終了を認識することを特徴とするバス間通信制御方法。

#### 【0155】

##### 【発明の効果】

以上説明したように本発明では、通信データをバッファを介して転送し、通信制御情報をレジスタを介して転送するようにしたため、通信データの内容を解析することなく通信制御情報の受け渡しが可能となり、通信データの送受信を効率よく行うことができる。

##### 【図面の簡単な説明】

##### 【図 1】

実施の形態に適用される発明の概念図である。

##### 【図 2】

本発明の実施の形態に係る装置のハードウェア構成を示す図である。

##### 【図 3】

外部接続インタフェースの内部構成例を示す図である。

##### 【図 4】

ステータスレジスタのデータ構造例を示す第 1 の図である。

##### 【図 5】

ステータスレジスタのデータ構造例を示す第 2 の図である。

**【図 6】**

データ受信時の処理手順を示すフローチャートである。

**【図 7】**

データ送信時の処理手順を示すフローチャートである。

**【図 8】**

内部バスの信号の構成例を示す図である。

**【図 9】**

外部接続バスの信号構成例を示す図である。

**【図 10】**

データ受信の際のタイミングチャートである。

**【図 11】**

データ送信の際のタイミングチャートである。

**【図 12】**

外部ホストにおけるデータ受信手順を示すフローチャートである。

**【図 13】**

外部ホストにおけるデータ送信手順を示すフローチャートである。

**【図 14】**

内部CPUにおける外部ホストからのデータの受信方法を示す概念図である。

**【図 15】**

内部CPUにおける外部ホストからのデータの受信手順を示すフローチャートである。

**【図 16】**

内部CPUにおける外部ホストへのデータの送信方法を示す概念図である。

**【図 17】**

内部CPUにおける外部ホストへのデータの送信手順を示すフローチャートである。

**【符号の説明】**

1 バス間通信インタフェース装置

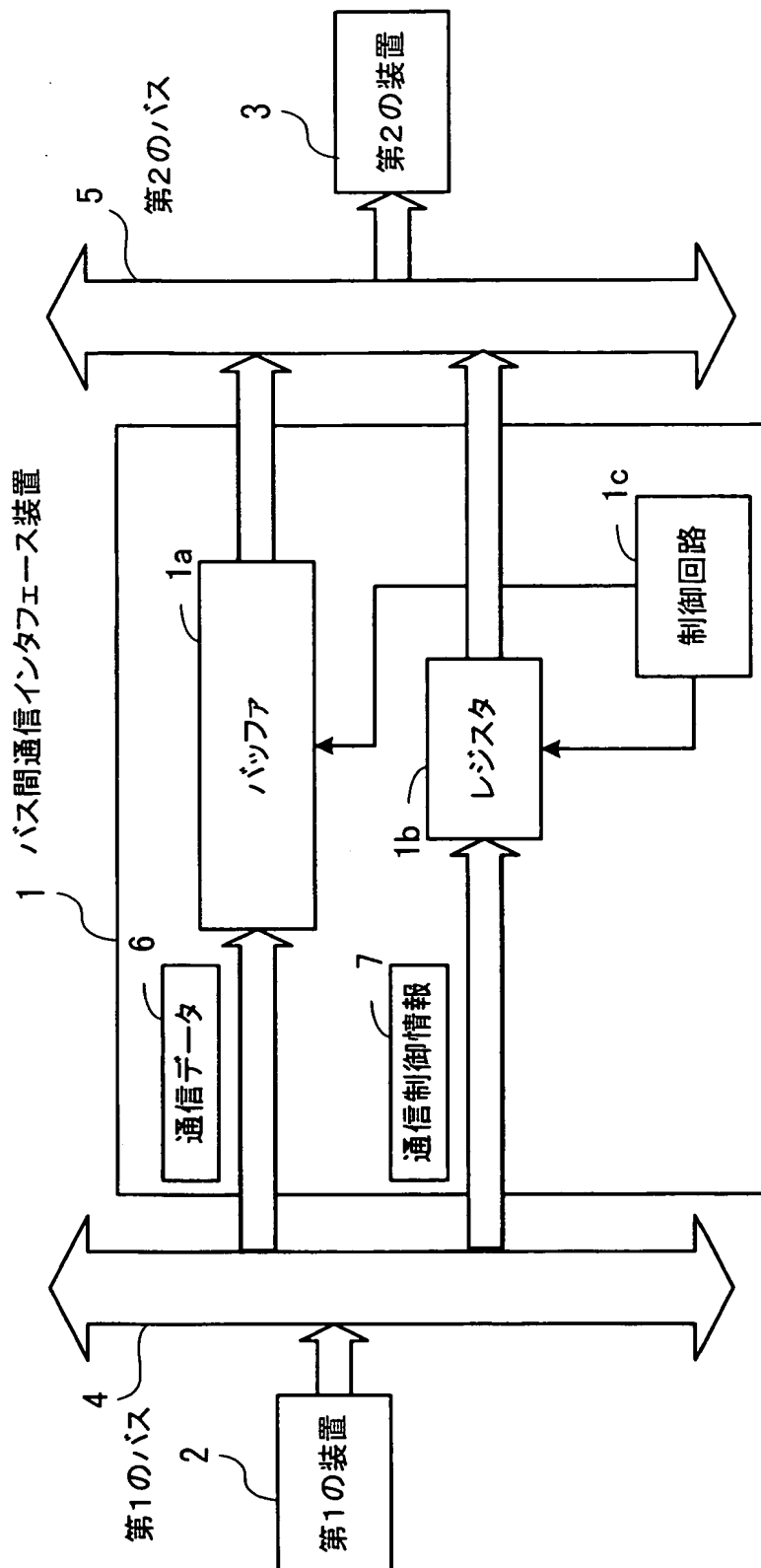
1 a バッファ

- 1 b レジスタ
- 1 c 制御回路
- 2 第 1 の装置
- 3 第 2 の装置
- 4 第 1 のバス
- 5 第 2 のバス
- 1 0 外部接続バス
- 1 0 0 情報処理ユニット
- 1 1 0 内部 C P U
- 1 2 0 外部接続インタフェース
- 1 3 0 , 1 4 0 周辺回路
- 2 0 0 外部ホスト

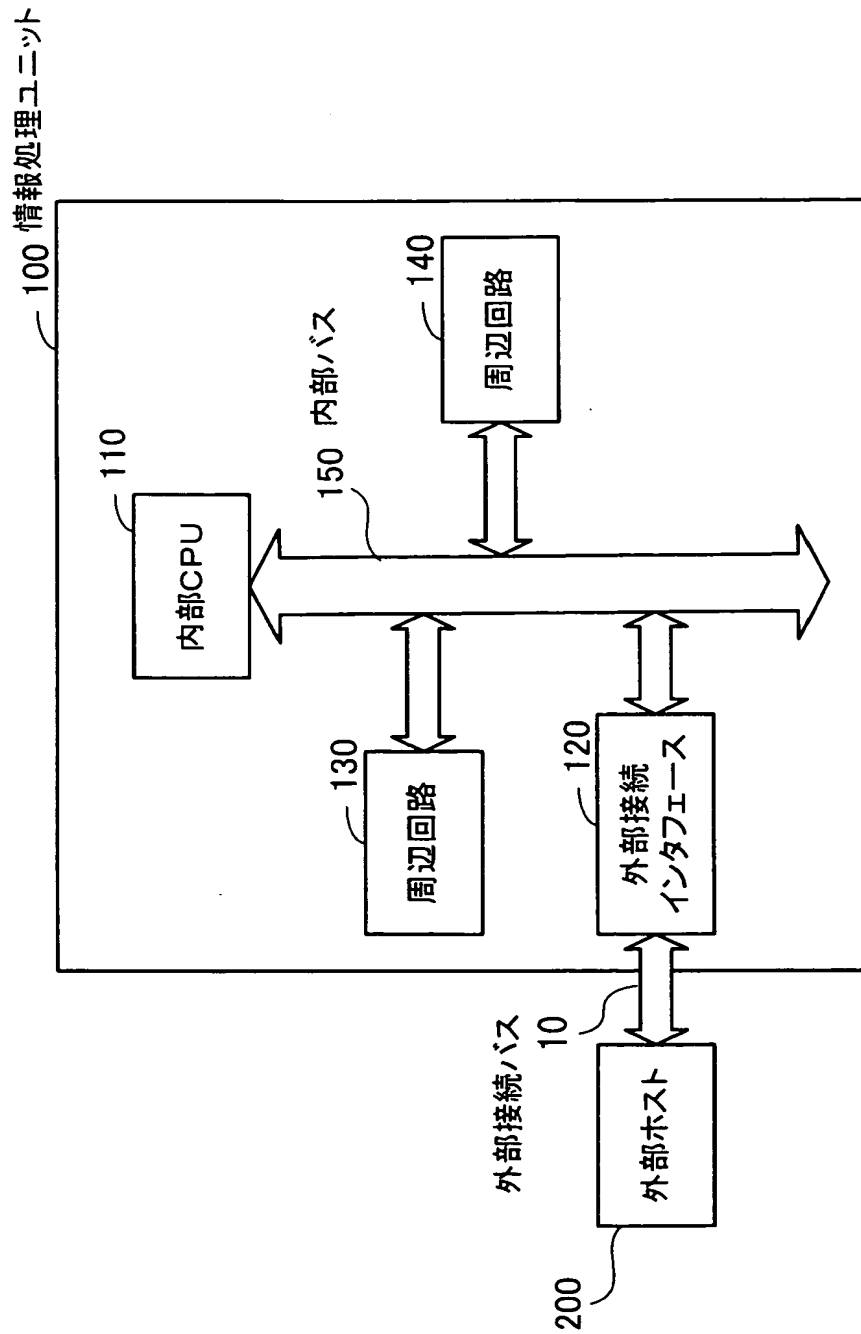
【書類名】

図面

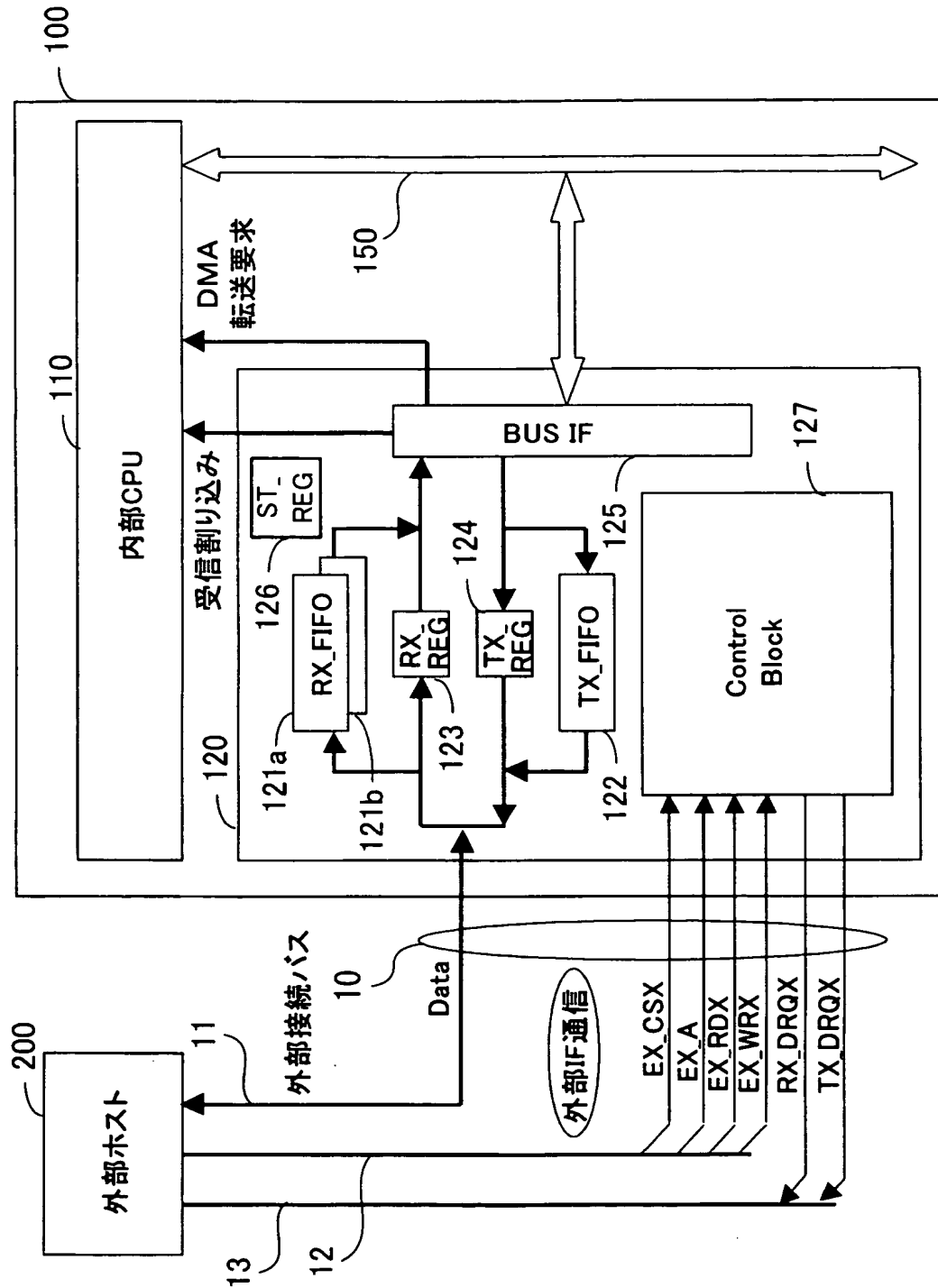
【図 1】



【図 2】



【図3】





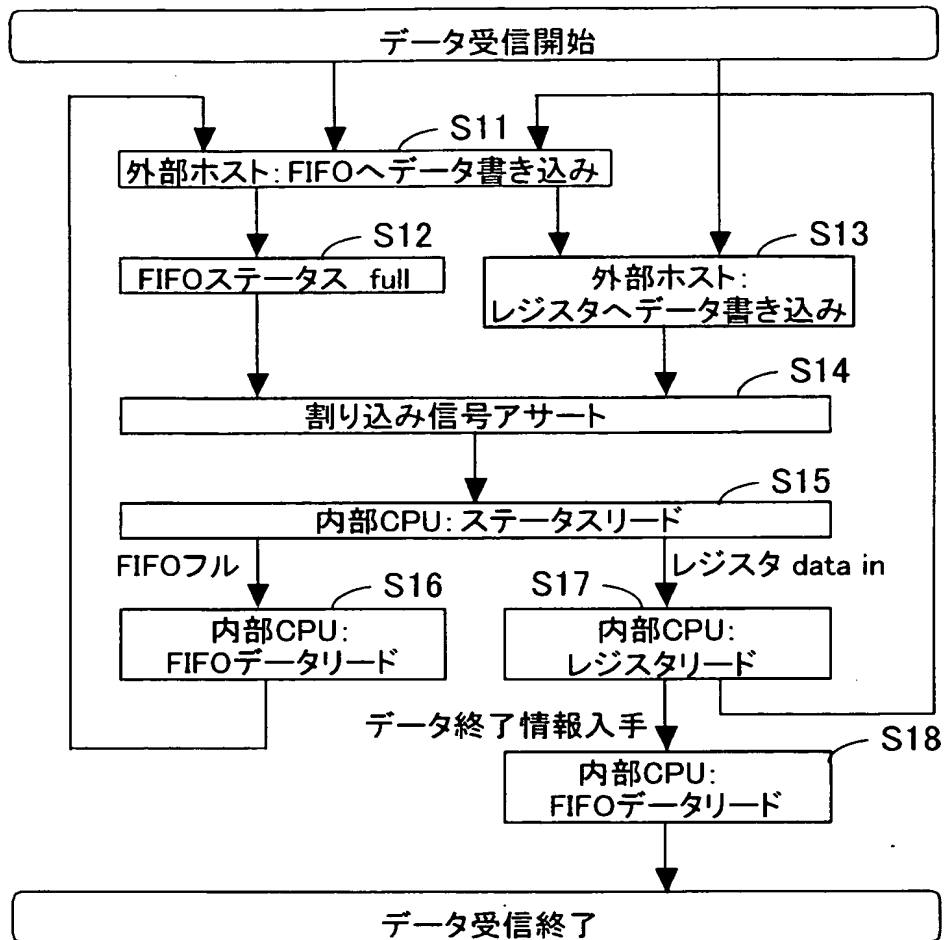
【図4】

ビット	ビット名	初期値 R/W	機能
31:10	-	0 -	予約
7:6	TX_FIFO	00	TX_FIFOステータス TX_FIFOのステータス状況を示す。 00: TX_FIFOにデータなし。もしくは、クリアされた。 01: TX_FIFOには、データあり。 10: TX_FIFOは、データフル。 11: 予約
5:4	RX_FIFO_B	00	RX_FIFOステータス: SIDE-B 2面(SIDE-A/SIDE-B)で構成されるRX_FIFOのステータス状況を示す。 00: RX_FIFO(SIDE-B)には、データなし。もしくは、クリアされた。 01: RX_FIFO(SIDE-B)には、データあり。 10: RX_FIFO(SIDE-B)は、データフル。 11: 予約
3:2	RX_FIFO_A	00	RX_FIFOステータス: SIDE-A 2面(SIDE-A/SIDE-B)で構成されるRX_FIFOのステータス状況を示す。 00: RX_FIFO(SIDE-A)にデータなし。もしくは、クリアされた。 01: RX_FIFO(SIDE-A)にデータあり。 10: RX_FIFO(SIDE-A)は、データフル。 11: 予約
.	.	.	.
.	.	.	.
.	.	.	.

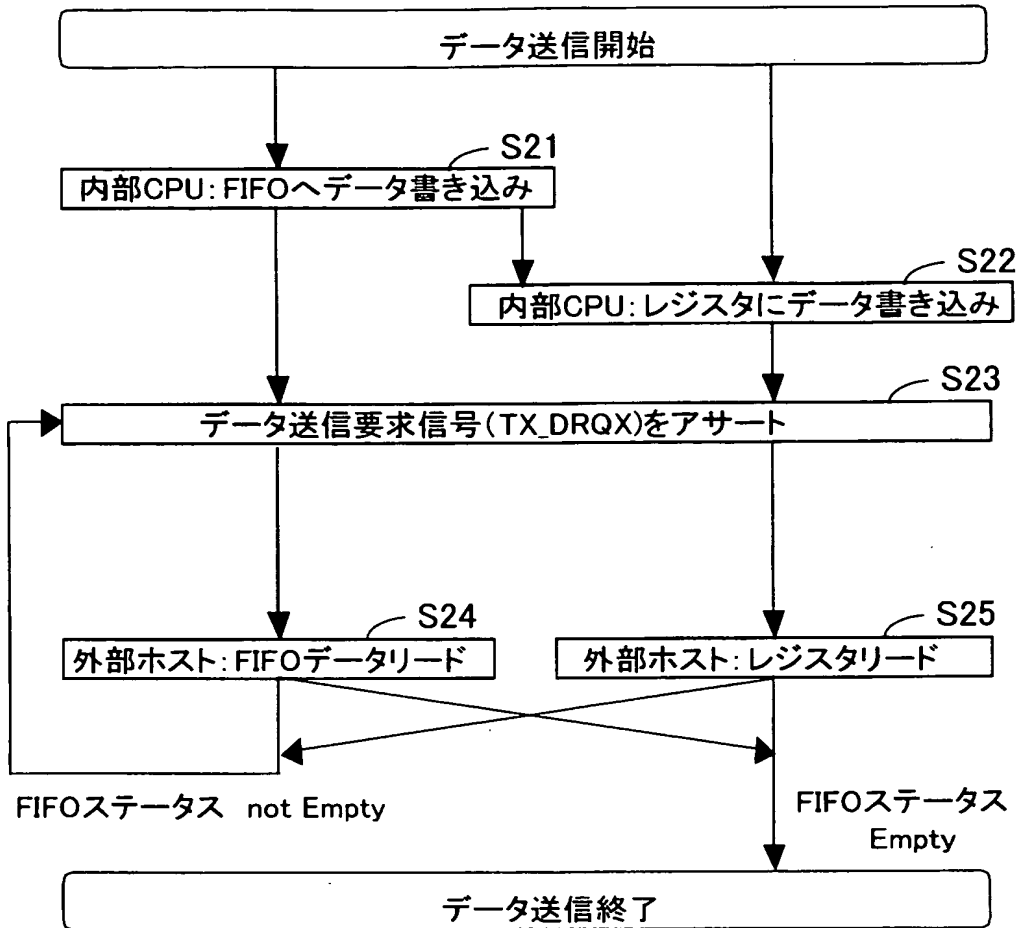
【図 5】

ビット	ビット名	初期値	R/W	機能
::	::	::	::	::
1	TX_REG_OUT	0	R	TX_REGレジスタ出力・ステータス TX_REGレジスタのデータ出力ステータス状況を示す。 ※リードクリア。 0: TX_REGレジスタからのデータ出力なし。もしくは、クリアされた。 1: TX_REGレジスタからのデータ出力があり。
0	RX_REG_IN	0	R	RX_REGレジスタ入力・ステータス RX_REGレジスタへのデータ入力ステータス状況を示す。 ※リードクリア。 0: RX_REGレジスタへのデータ入力なし。もしくは、クリアされた。 1: RX_REGレジスタにデータの入力があり。

【図 6】



【図 7】



【図 8】

内部バス側信号構成例

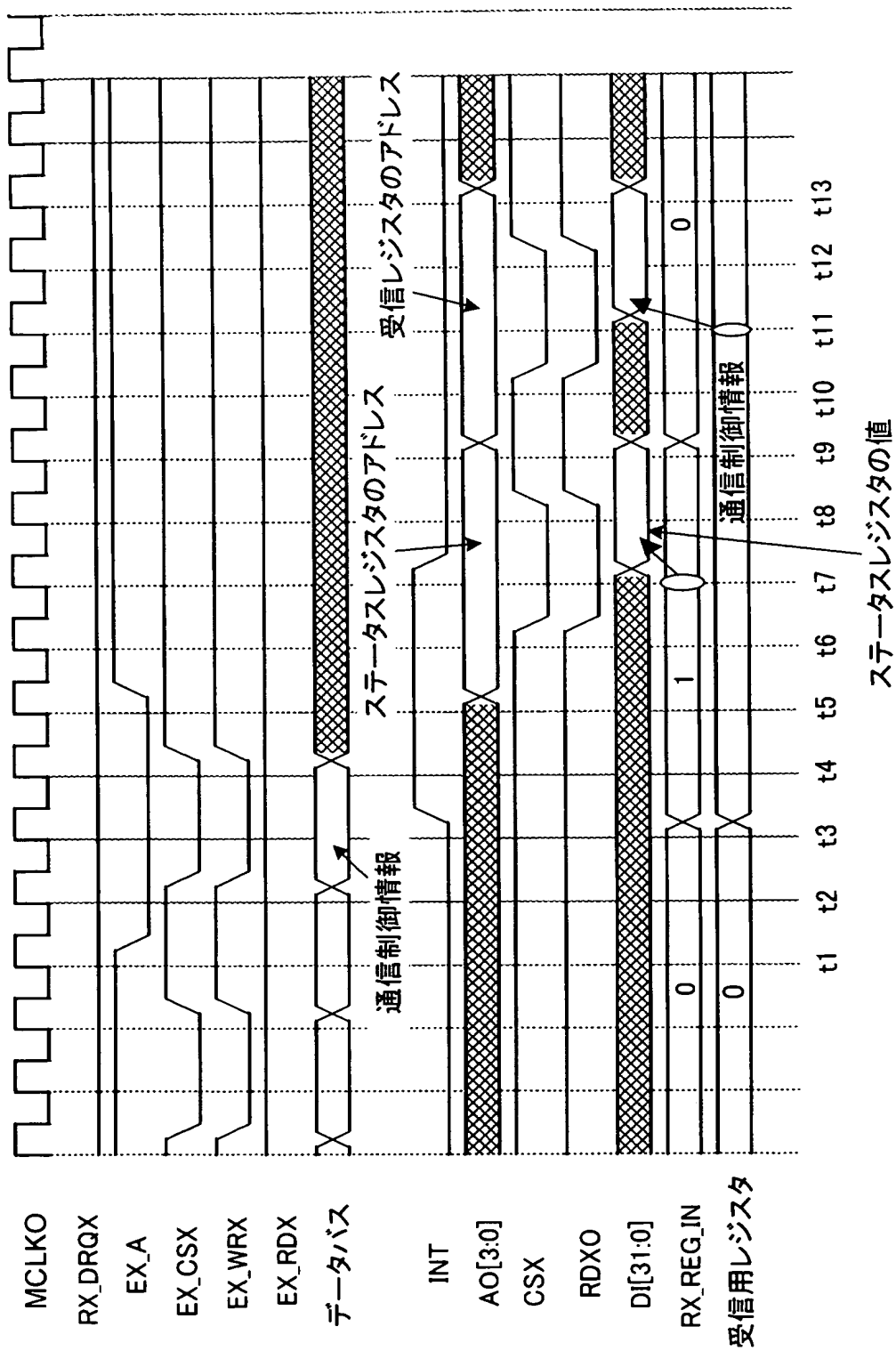
端子名	名称	入出力	機能
MCLKO	クロック信号	I	クロック信号入力
RSTXI	リセット信号	I	リセット信号入力
AO[3:0]	アドレスバス	I	アドレス信号
DO[31:0]	ライトデータバス	I	ライトデータ入力
DI[31:0]	リードデータバス	O	リードデータ出力
RDXO	リードストローブ信号	I	リードストローブ信号入力 Lowアクティブ
WRXO[3:0]	ライトストローブ信号	I	ライトストローブ信号入力 Lowアクティブ
CSX	チップセレクト信号	I	チップセレクト信号入力 Lowアクティブ
INT	割り込み信号	O	割り込み信号出力 Highアクティブ

【図 9】

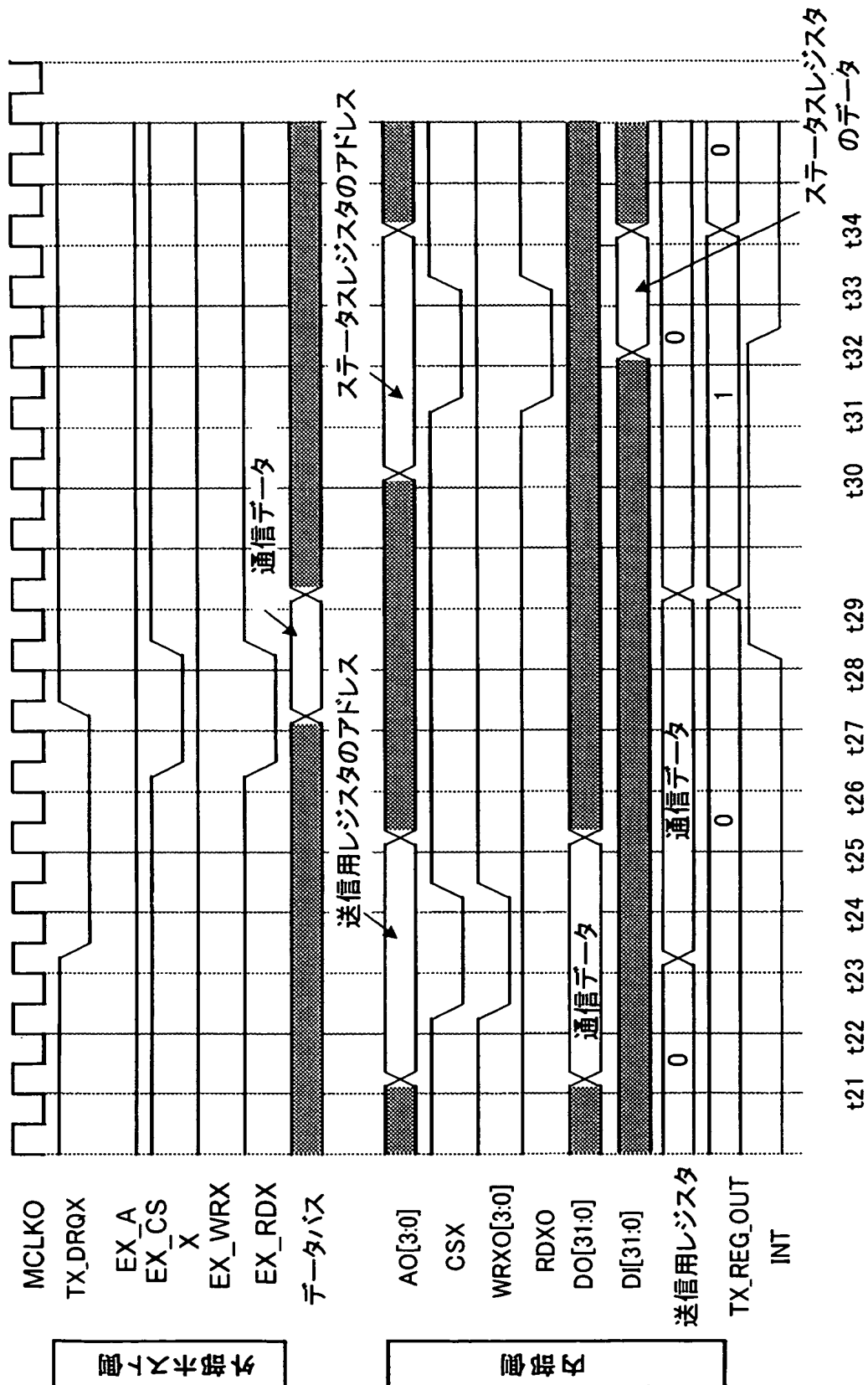
外部端子側信号構成例

端子名	名称	入出力	機能
EX_DI[15:0]	入力データバス	I	データ入力
EX_DO[15:0]	出力データバス	O	データ出力
EX_DOE	データバス方向切り替え信号	O	データバス方向切り替え信号出力
EX_CSX	チップセレクト信号	I	チップセレクト信号入力 Lowアクティブ
EX_A	アドレス信号	I	アドレス信号入力 “0”の時レジスタ選択、“1”の時FIFO選択
EX_RDX	リードストロープ信号	I	リードストロープ信号入力 Lowアクティブ
EX_WRX	ライトストロープ信号	I	ライトストロープ信号入力 Lowアクティブ
RX_DRQX	受信データ要求信号	O	受信データ要求信号出力 Lowアクティブ 受信用のFIFOがフルになるまで“Low”をアサート
TX_DRQX	送信データ要求信号	O	送信データ要求信号出力 Lowアクティブ 送信レジスタ及び送信用の内蔵RAMに読み出し可能なデータがある場合、“Low”をアサート

【図 10】

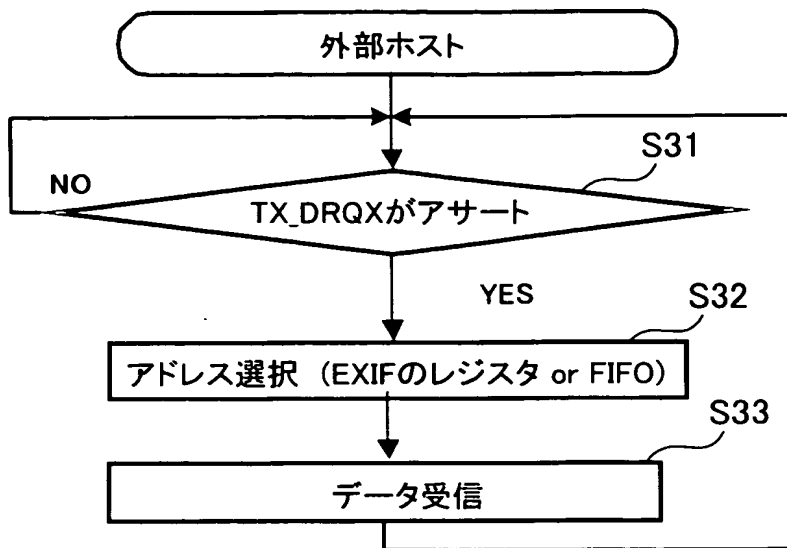


【図 11】

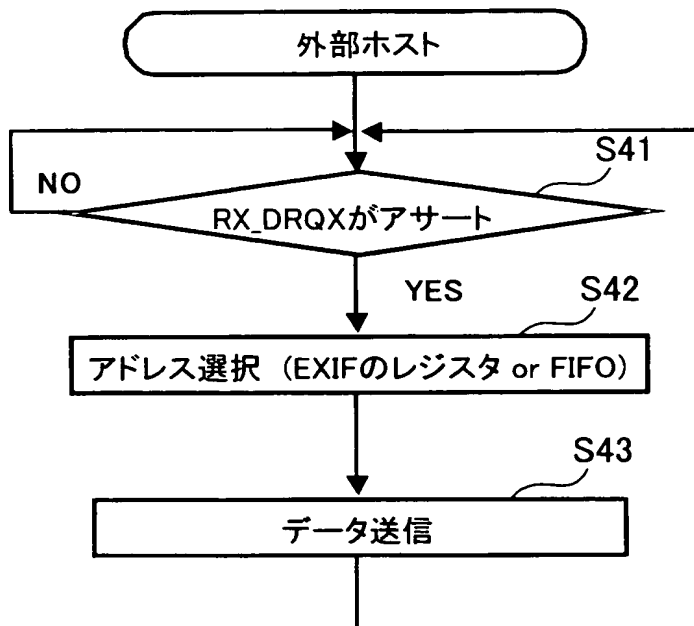




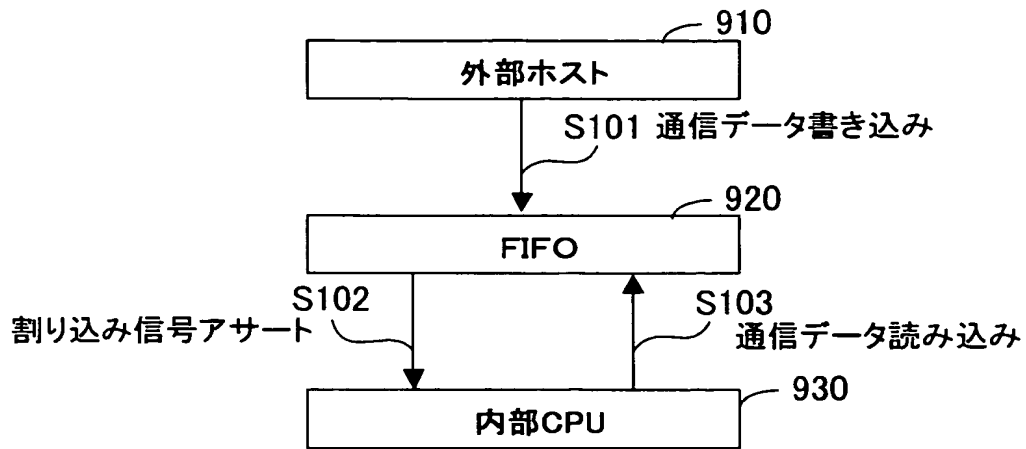
【図 12】



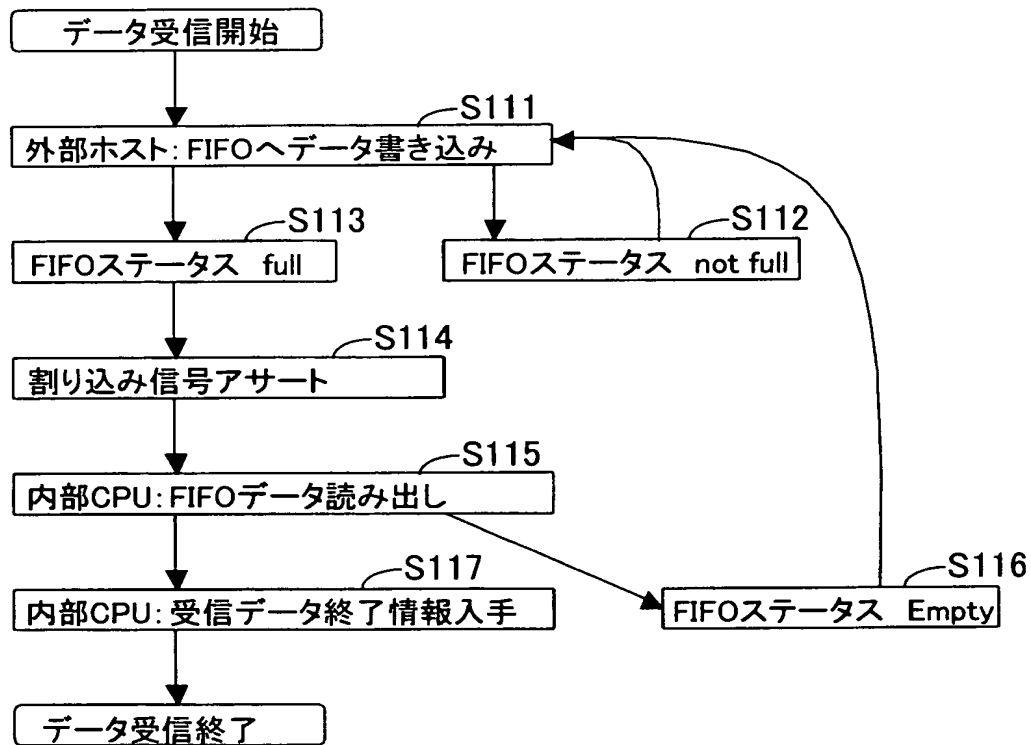
【図 13】



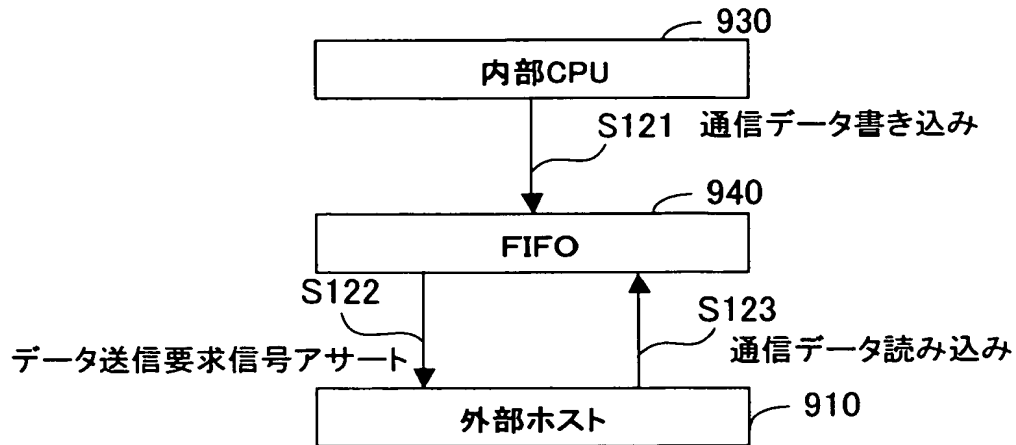
【図14】



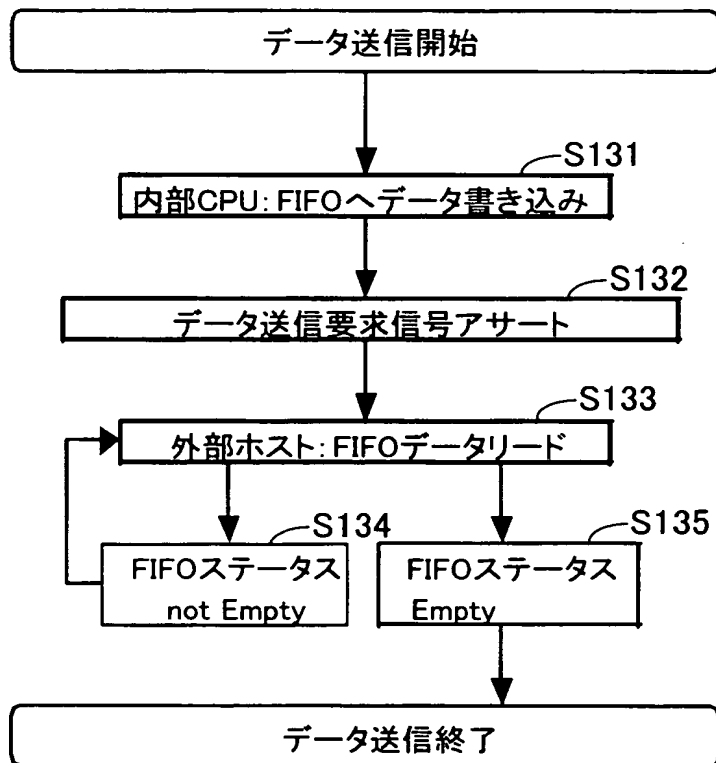
【図15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 異なるバスに接続された複数の装置間のデータの受け渡しを効率よく行うことができるようにする。

【解決手段】 第1の装置2は、通信データ6を送信する際には、バッファ1aに対して書き込みを行い、通信制御情報7を送信する際には、レジスタ1bに対して書き込みを行う。制御回路1cは、バッファ1aに格納された通信データ6を第2の装置3に渡すと共に、レジスタ1bに格納された通信制御情報7を第2の装置3に渡す。

【選択図】 図1

特願 2 0 0 3 - 0 9 0 2 9 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社